

増幅回路、ノイズ低減装置及び電力変換装置

発明の背景

発明の属する技術分野

- 5 本発明は、増幅回路、ノイズ低減装置及び電力変換装置に関し、特に小型化を可能とする技術に関する。

関連技術

- モータに電力を供給するインバータ、コンピュータに電圧を供給するスイッチングレギュレータ等の電力変換装置は、所定の電源から供給された電力を、所定の電圧の電力に変換して負荷に供給する。かかる電力変換装置では、スイッチング素子をオン、オフすることにより電力変換を行うため、スイッチング素子のスイッチングによるスイッチングノイズが発生する。このため、かかる電力変換装置では、従来より、入力側にノイズフィルタを設けてノイズを低減している。このスイッチングノイズの周波数は非常に高いため、広
10 帯域で減衰特性の大きなノイズフィルタが要求される。
15

- 一方、回路内には、対地間の浮遊容量を含む静電容量が存在し、この静電容量を介して、スイッチング素子のスイッチングによるノイズが高周波の漏れ電流となって接地ラインに流れる。この漏れ電流が接地ラインに流れると、電力変換装置のフレーム（筐体）の電圧レベルが変動する。特に、前述のインバータを介して電力容量の大きなモータが電力変換装置に接続されている場合、対地間の浮遊容量は大きくなり、それだけ、漏れ電流も大きくなる。この漏れ電流が大きいと、漏電ブレーカを遮断させたり、周辺の電子機器に妨害を与えたりすることになる。
20

- そこで、このようなノイズを低減するための手法として、漏れ電流を相殺する方向に接地ラインに補償電流を供給する手法が行われている。この手法を図38A及び図38Bに基づいて説明する。尚、図38A及び図38Bにおいて、コンデンサC201及びC20
25

2は、それぞれ、負荷の静電容量、コモンモードノイズ用のコンデンサに相当し、ダイオードD201は整流回路に相当し、スイッチSWはスイッチング素子に相当するものである。また、漏れ電流 I_{s1} 、 I_{s2} は、それぞれ、スイッチSWのスイッチングにより交流電源ACVから流入する漏れ電流、電力変換装置内で伝播する漏れ電流を示す。

- 5 ノイズを低減する手法としては、2つの手法が考えられる。第1の手法は、図38Aに示すように、漏れ電流 I_{s1} を検出し、その検出電流を増幅器AMPで増幅し、この増幅した補償電流 I_r を、漏れ電流 I_{s1} を相殺する方向に、コンデンサC202を介して接地ラインに供給する手法である。この手法によれば、零相変流器201を補償電流 I_r の注入点aよりも交流電源ACV側に配置して漏れ電流 I_{s1} を検出する。

- 10 第1の手法では、次の式(1)が成り立つようにする。

$$\{A1 \cdot (i_{s1} - i_r)\} - i_{s1} \approx 0 \quad \dots (1)$$

(但し、A1は第1の手法を用いた場合の増幅器AMPの増幅率、 i_{s1} は漏れ電流 I_{s1} の電流値、 i_r は補償電流 I_r の電流値)

従って、補償電流 I_r の電流値 i_r は、次式(2)によって表される。

- 15 $i_r = \{1 - (1/A1)\} \cdot i_{s1} \quad \dots (2)$

第2の手法は、図38Bに示すように、漏れ電流 I_{s2} を検出し、その検出電流に基づいて補償電流 I_r を第1の手法と同じように接地ラインに供給する手法である。この手法によれば、零相変流器201を補償電流 I_r の注入点aよりもスイッチSW側に配置して漏れ電流 I_{s2} を検出する。

- 20 第2の手法を用いた場合、次の式(3)が成り立つようにする。

$$i_{s1} - (A2 \cdot i_r) = 0 \quad \dots (3)$$

(但し、A2は第2の手法を用いた場合の増幅器AMPの増幅率)

従って、補償電流 I_r の電流値 i_r は、次式(4)によって表される。

$$i_r = (1/A2) \cdot i_{s1} \quad \dots (4)$$

- 25 この式(4)が示すように、第2の手法を用いて、漏れ電流 I_{s1} を補償電流 I_r で相

殺するためには、増幅器AMPの増幅率 A_2 を正確に1にしなくてはならない。従来の電力変換装置では、この増幅器AMPの増幅率 A_2 を正確に1にすることが困難であるため、一般的には、第1の手法が用いられる（特開平9-266677号公報等参照）。

しかし、第1の手法を用いると、式（2）に示すように、漏れ電流 I_{s1} を補償電流 I_r で相殺するためには、増幅器AMPの増幅率 A_1 を大きくしなければならない。このため、位相補償を正確に行わなければならない、増幅器AMPが発振し易くなるといった不都合が生ずる。

一方、第2の手法を用いた場合、増幅器AMPの増幅率 A_2 を大きくする必要はない。しかし、第2の手法を用いた場合、前述のように増幅率 A_2 を正確に1にしなくてはならない。

また、零相変流器201の2次巻線に、増幅器AMP内に備えられたトランジスタのエミッターベース間電圧を発生させる必要があり、2次巻線の巻数の増大を招く。

また、第1及び第2のいずれの手法でも、電源線に流れる漏れ電流を電流の差として検出するために、零相変流器201として検出用CT（カレントトランス）を用い、この検出用CTで直接検出してノイズ補償電流供給回路から補償電流を電源線に供給する。この場合、増幅器AMPを動作させるためには、検出用CTの2次巻線に、増幅器AMPが備えるトランジスタのEB間電圧（0.6V）を発生させる必要があり、2次巻線の増大を招く。特に、第2の手法を用いた場合は、零相変流器201の1次巻線と2次巻線との巻数比を1対1にしなければならない。

また、電源線には、大きな電流が流れるため、零相変流器201の1次巻線の線径も太くなる。このため、零相変流器201が大型化してしまい大電流での応用が難しくなる、という問題もある。

また、トランジスタの中性点電圧が供給電圧の midpoint とならず、ノイズの制御範囲が狭くなるという問題もあった。さらには、これらのノイズ低減装置は、非常に大きなノイズフィルタが必要であったため、装置が大型化し、コスト上昇の原因の一つとなっていた。

また、上述の各手法において増幅率を調整するためには、零相変流器 201 の巻数を増やして調整できるようにしなければならず、この点も零相変流器 201 の大型化を招く。また、増幅器 AMP も精度の高いものを用いる必要があるため、高価なものになってしまう。

5

発明の要約

本発明は、このような従来の問題点に鑑みてなされたもので、小型化を可能とする増幅回路、ノイズ低減装置及び電力変換装置を提供することを目的とする。

また、本発明は、増幅率の容易な調整を可能とする増幅回路、ノイズ低減装置及び電力
10 変換装置を提供することを目的とする。

上記目的を達成するため、本発明の第 1 の観点に係る増幅回路は、

1 次巻線と 2 次巻線とを有する変流器の 2 次巻線に接続される増幅回路であって、

前記変流器の 2 次巻線に流れる電流を増幅し、増幅した電流を第 1 のインピーダンス素子
子を介して出力する電流増幅部と、

15 前記電流増幅部により前記第 1 のインピーダンス素子に印加される電圧により決まる電圧を発生して第 2 のインピーダンス素子に印加することにより、該第 2 のインピーダンス素子から電流を出力するバッファ増幅部と、を備え、

前記変流器の 1 次巻線に流れる電流を増幅したものに相当する電流が、前記第 1 のインピーダンス素子と第 2 のインピーダンス素子とのインピーダンスの比により決まる比率
20 で、前記第 1 のインピーダンス素子と第 2 のインピーダンス素子とからそれぞれ出力されるように構成された、

ことを特徴とする。

前記バッファ増幅部は、前記第 1 のインピーダンス素子の電圧を電圧増幅して前記第 2 のインピーダンス素子に印加する電圧増幅回路を備えるものであってもよい。

25 前記電流増幅部は、前記第 1 のインピーダンス素子の電圧を増幅して前記第 2 のインピ

ーダンス素子に印加し、前記バッファ増幅部の少なくとも一部を兼ねるものであってもよい。

前記電流増幅部は、

コレクタが直流電源の正極に接続され、エミッタが前記変流器の2次巻線の一端に接続され、ベースが前記変流器の2次巻線の他端に接続された第1のNPN形バイポーラトランジスタと、

コレクタが前記直流電源の負極に接続され、エミッタが前記第1のNPNバイポーラトランジスタのエミッタに接続され、ベースが前記第1のNPNバイポーラトランジスタのベースに接続された第1のPNP形バイポーラトランジスタと、

10 を備えて構成されていてもよく、

前記バッファ増幅部は、

コレクタが前記直流電源の正極と前記第1のNPN形バイポーラトランジスタのコレクタとに接続され、ベースが前記第1のNPN形バイポーラトランジスタのベースに接続された第2のNPN形バイポーラトランジスタと、

15 コレクタが前記直流電源の負極と前記第1のPNP形バイポーラトランジスタのコレクタとに接続され、エミッタが前記第2のNPN形バイポーラトランジスタのエミッタに接続され、ベースが前記第1のPNP形バイポーラトランジスタのベースに接続された第2のPNP形バイポーラトランジスタと、

を備えて構成されていてもよく、

20 前記第1のインピーダンス素子の一端が前記第1のNPN形バイポーラトランジスタのベースと前記第1のPNP形バイポーラトランジスタのベースとの接続点に接続され、

前記第2のインピーダンス素子の一端が前記第2のNPN形バイポーラトランジスタのエミッタと前記第2のPNP形バイポーラトランジスタのエミッタとの接続点に接続されたものであってもよい。

25 前記電流増幅部は、

コレクタが直流電源の正極に接続され、エミッタが前記変流器の 2 次巻線の一端に接続され、ベースが前記変流器の 2 次巻線他端に接続された NPN 形バイポーラトランジスタと、

コレクタが前記直流電源の負極に接続され、エミッタが前記 NPN 形バイポーラトランジスタのエミッタに接続され、ベースが前記 NPN 形バイポーラトランジスタのベースに接続された PNP 形バイポーラトランジスタと、

を備えて構成されていてもよく、

前記第 1 のインピーダンス素子の一端が前記 NPN 形バイポーラトランジスタのベースと前記 PNP 形バイポーラトランジスタのベースとの接続点に接続され、

前記第 2 のインピーダンス素子の一端が前記 NPN 形バイポーラトランジスタのエミッタと前記 PNP 形バイポーラトランジスタのエミッタとの接続点に接続されたものであってもよい。

前記電流増幅部は、

ドレインが直流電源の正極に接続され、ソースが前記変流器の 2 次巻線の一端に接続され、ゲートが前記変流器の 2 次巻線他端に接続された第 1 の N 形電界効果トランジスタと、

ドレインが前記直流電源の負極に接続され、ソースが前記第 1 の N 形電界効果トランジスタのソースに接続され、ゲートが前記第 1 の N 形電界効果トランジスタのゲートに接続された第 1 の P 形電界効果トランジスタと、

を備えて構成されていてもよく、

前記バッファ増幅部は、

ドレインが前記直流電源の正極と前記第 1 の N 形電界効果トランジスタのドレインとに接続され、ゲートが前記第 1 の N 形電界効果トランジスタのゲートに接続された第 2 の N 形電界効果トランジスタと、

ドレインが前記直流電源の負極と前記第 1 の P 形電界効果トランジスタのドレインと

に接続され、ソースが前記第2のN形電界効果トランジスタのソースに接続され、ゲートが前記第1のP形電界効果トランジスタのゲートに接続された第2のP形電界効果トランジスタと、

を備えて構成されていてもよく、

- 5 前記第1のインピーダンス素子の一端が前記第1のN形電界効果トランジスタのゲートと前記第1のP形電界効果トランジスタのゲートとの接続点に接続され、

前記第2のインピーダンス素子の一端が前記第2のN形電界効果トランジスタのソースと前記第2のP形電界効果トランジスタのソースとの接続点に接続されたものであってもよい。

- 10 前記電流増幅部は、

ドレインが直流電源の正極に接続され、ソースが前記変流器の2次巻線の一端に接続され、ゲートが前記変流器の2次巻線他端に接続されたN形電界効果トランジスタと、

ドレインが前記直流電源の負極に接続され、ソースが前記N形電界効果トランジスタのソースに接続され、ゲートが前記N形電界効果トランジスタのゲートに接続されたP形電

- 15 界効果トランジスタと、

を備えて構成されていてもよく、

前記第1のインピーダンス素子の一端が前記N形電界効果トランジスタのゲートと前記P形電界効果トランジスタのゲートとの接続点に接続され、

前記第2のインピーダンス素子の一端が前記N形電界効果トランジスタのソースと前記P形電界効果トランジスタのソースとの接続点に接続されたものであってもよい。

- 20

前記第1のインピーダンス素子及び第2のインピーダンス素子は、それぞれ、コンデンサによって構成されたものであってもよい。

また、本発明の第2の観点に係る増幅回路は、

エミッタが、1次巻線と2次巻線とを有する変流器の2次巻線の一端に接続され、コレ

- 25 クタが直流電源の正極に接続され、コレクタとベースとの間に第1の抵抗が接続されたN

PN形バイポーラトランジスタと、

前記NPN形バイポーラトランジスタのベースと前記変流器の2次巻線他端との間に接続されて、前記NPN形バイポーラトランジスタのベース-エミッタ間電圧に相当する電圧降下を発生させる第1の電圧降下素子と、

- 5 エミッタが前記変流器の2次巻線の一端に接続され、コレクタが前記直流電源の負極に接続され、コレクタとベースとの間に第2の抵抗が接続されたPNP形バイポーラトランジスタと、

前記PNP形バイポーラトランジスタのベースと前記変流器の2次巻線他端との間に接続されて、前記PNP形バイポーラトランジスタのエミッター-ベース間電圧に相当する電圧降下を発生させる第2の電圧降下素子と、

- 10

前記第1の電圧降下素子と前記第2の電圧降下素子との接続点に一端が接続された電流供給用コンデンサと、

を備え、

前記変流器の1次巻線に流れる電流を増幅し、増幅した電流が、前記電流供給用コンデンサを介して出力されるように構成された、

- 15

ことを特徴とする。

前記増幅回路は、前記NPN形バイポーラトランジスタのエミッタと前記PNP形バイポーラトランジスタのエミッタとの接続点に一端が接続された利得補正用コンデンサをさらに備えてもよく、

- 20 前記変流器の1次巻線に流れる電流を増幅し、増幅した電流が、前記電流供給用コンデンサと利得補正用コンデンサとのインピーダンスの比により決まる比率で、前記電流供給用コンデンサと利得補正用コンデンサとからそれぞれ出力されるように構成されていてもよい。

また、本発明の第3の観点に係る増幅回路は、

- 25 エミッタが、1次巻線と第1、第2の2次巻線とを有する変流器の第1の2次巻線の一

端に接続され、コレクタとベースとの間に第 1 の抵抗が接続された PNP 形バイポーラトランジスタと、

- 前記 PNP 形バイポーラトランジスタのベースと前記変流器の第 1 の 2 次巻線の間とに接続されて、前記 PNP 形バイポーラトランジスタのエミッターベース間電圧に
5 相当する電圧降下を発生させる第 1 の電圧降下素子と、

エミッタが前記変流器の第 2 の 2 次巻線の一端に接続され、コレクタが前記 PNP 形バイポーラトランジスタのコレクタに接続され、コレクタとベースとの間に第 2 の抵抗が接続された NPN 形バイポーラトランジスタと、

- 前記 NPN 形バイポーラトランジスタのベースと前記変流器の第 2 の 2 次巻線の間とに接続されて、前記 NPN 形バイポーラトランジスタのベースエミッタ間電圧に
10 相当する電圧降下を発生させる第 2 の電圧降下素子と、

前記 PNP 形バイポーラトランジスタのコレクタと前記 NPN 形バイポーラトランジスタのコレクタとの接続点に一端が接続された電流供給用コンデンサと、

を備え、

- 15 前記変流器の第 1 の 2 次巻線の間とに直流電源の正極が接続され、第 2 の 2 次巻線の間とに前記直流電源の負極が接続されて、

前記変流器の 1 次巻線に流れる電流を増幅し、増幅した電流が、前記電流供給用コンデンサを介して出力されるように構成された、

ことを特徴とする。

- 20 また、本発明の第 4 の観点に係る増幅回路は、

エミッタが、1 次巻線と第 1、第 2 の 2 次巻線とを有する変流器の第 1 の 2 次巻線の一端に接続され、コレクタが直流電源の正極に接続され、コレクタとベースとの間に第 1 の抵抗が接続された第 1 の NPN 形バイポーラトランジスタと、

- 前記第 1 の NPN 形バイポーラトランジスタのベースと前記変流器の第 1 の 2 次巻線
25 の他端との間に接続されて、前記第 1 の NPN 形バイポーラトランジスタのベースエミ

ッタ間電圧に相当する電圧降下を発生させる第 1 の電圧降下素子と、

エミッタが前記変流器の第 2 の 2 次巻線の一端に接続され、コレクタが前記変流器の第 1 の 2 次巻線他端に接続され、コレクタとベースとの間に第 2 の抵抗が接続された第 2 の NPN 形バイポーラトランジスタと、

- 5 前記第 2 の NPN 形バイポーラトランジスタのベースと前記変流器の第 2 の 2 次巻線他端との間に接続されて、前記第 2 の NPN 形バイポーラトランジスタのベース－エミッタ間電圧に相当する電圧降下を発生させる第 2 の電圧降下素子と、

前記変流器の第 1 の 2 次巻線他端と前記第 2 の NPN 形バイポーラトランジスタのコレクタとの接続点に一端が接続された電流供給用コンデンサと、

- 10 を備え、

前記変流器の第 2 の 2 次巻線他端に前記直流電源の負極が接続されて、

前記変流器の 1 次巻線に流れる電流を増幅して、増幅した電流が、前記電流供給用コンデンサを介して出力されるように構成された、

ことを特徴とする。

- 15 また、本発明の第 5 の観点に係る増幅回路は、

エミッタが、1 次巻線と第 1、第 2 の 2 次巻線とを有する変流器の第 1 の 2 次巻線一端に接続された第 1 の NPN 形バイポーラトランジスタと、

直流電源の正極と前記第 1 の NPN 形バイポーラトランジスタのベースとの間に直列接続された第 1 の抵抗及び第 2 の抵抗と、

- 20 ドレイン及びソースのうちのいずれかの一端が前記直流電源の正極と前記第 1 の抵抗の一端とに、ドレイン及びソースのうちの他端が前記第 1 の NPN 型バイポーラトランジスタのコレクタに接続され、ゲートが前記第 1 の抵抗と第 2 の抵抗との接続点に接続された第 1 の電界効果トランジスタと、

前記第 1 の NPN 形バイポーラトランジスタのベースと前記変流器の第 1 の 2 次巻線

- 25 の他端との間に接続されて、前記第 1 の NPN 形バイポーラトランジスタのベース－エミ

ツタ間電圧に相当する電圧降下を発生させる第 1 の電圧降下素子と、

エミッタが前記変流器の第 2 の 2 次巻線の一端に接続された第 2 の NPN 形バイポーラトランジスタと、

前記変流器の第 1 の 2 次巻線他端と前記第 2 の NPN 形バイポーラトランジスタの
5 ベースとの間に直列接続された第 3 の抵抗及び第 4 の抵抗と、

ドレイン及びソースのうちのいずれかの一端が前記変流器の第 1 の 2 次巻線他端に、
ドレイン及びソースのうちの他端が前記第 2 の NPN 形バイポーラトランジスタのコレクタに接続され、ゲートが前記第 3 の抵抗と第 4 の抵抗との接続点に接続された第 2 の電界効果トランジスタと、

10 前記第 2 の NPN 形バイポーラトランジスタのベースと前記変流器の第 2 の 2 次巻線他端との間に接続されて、前記第 2 の NPN 形バイポーラトランジスタのベース－エミッタ間電圧に相当する電圧降下を発生させる第 2 の電圧降下素子と、

前記変流器の第 1 の 2 次巻線他端と前記第 2 の電界効果トランジスタの一端との接続点に一端が接続された電流供給用コンデンサと、

15 を備え、

前記変流器の第 2 の 2 次巻線他端に前記直流電源の負極が接続されて、

前記変流器の 1 次巻線に流れる電流を増幅して、増幅した電流が、前記電流供給用コンデンサを介して出力されるように構成された、

ことを特徴とする。

20 また、本発明の第 6 の観点に係る増幅回路は、

エミッタが、1 次巻線と第 1、第 2 の 2 次巻線とを有する変流器の第 1 の 2 次巻線一端に接続され、コレクタが前記変流器の第 2 の 2 次巻線一端に接続され、コレクタとベースとの間に第 1 の抵抗が接続された第 1 の PNP 形バイポーラトランジスタと、

前記第 1 の PNP 形バイポーラトランジスタのベースと前記変流器の第 1 の 2 次巻線
25 の他端との間に接続されて、前記第 1 の PNP 形バイポーラトランジスタのエミッターベ

ース間電圧に相当する電圧降下を発生させる第1の電圧降下素子と、

エミッタが前記変流器の第2の2次巻線他端に接続され、コレクタが直流電源の負極に接続され、コレクタとベースとの間に第2の抵抗が接続された第2のPNP形バイポーラトランジスタと、

- 5 前記第2のPNP形バイポーラトランジスタのベースと前記変流器の第2の2次巻線の一端との間に接続されて、前記第2のPNP形バイポーラトランジスタのエミッターベース間電圧に相当する電圧降下を発生させる第2の電圧降下素子と、

前記第1のPNP形バイポーラトランジスタのコレクタと前記変流器の第2の2次巻線の一端との接続点に一端が接続された電流供給用コンデンサと、

- 10 を備え、

前記変流器の第1の2次巻線他端に前記直流電源の正極が接続されて、

前記変流器の1次巻線に流れる電流を増幅して、増幅した電流が、前記電流供給用コンデンサを介して出力されるように構成された、

ことを特徴とする。

- 15 前記増幅回路は、前記第1の電圧降下素子に並列に接続されたコンデンサと、前記第2の電圧降下素子に並列に接続されたコンデンサと、をさらに備えるものであってもよい。

また、本発明の第7の観点に係る増幅回路は、

エミッタが、1次巻線と2次巻線とを有する変流器の2次巻線の一端に接続され、コレクタが直流電源の正極に接続され、コレクタとベースとの間に第1の抵抗が接続されたN

- 20 PNP形バイポーラトランジスタと、

エミッタが前記NPNN形バイポーラトランジスタのエミッタに接続され、コレクタが前記直流電源の負極に接続され、コレクタとベースとの間に第2の抵抗が接続されたPNP形バイポーラトランジスタと、

前記NPNN形バイポーラトランジスタのベースと前記PNP形バイポーラトランジス

- 25 タのベースとの間に直列に接続されて、前記NPNN形バイポーラトランジスタのベース

エミッタ間電圧と前記PNP形バイポーラトランジスタのエミッターベース間電圧とに相当する電圧降下を発生させる第1、第2の電圧降下素子と、

前記PNP形バイポーラトランジスタのベースと前記変流器の2次巻線他端との間に接続された第1のコンデンサと、

5 前記PNP形バイポーラトランジスタのベースと前記変流器の2次巻線他端との間に接続された第2のコンデンサと、

前記変流器の2次巻線他端に一端が接続された電流供給用コンデンサと、
を備え、

前記変流器の1次巻線に流れる電流を増幅して、増幅した電流が、前記電流供給用コン
10 デンサを介して出力されるように構成された、
ことを特徴とする。

前記増幅回路は、前記PNP形バイポーラトランジスタのエミッタと前記PNP形バイ
ポーラトランジスタのエミッタとの接続点に一端が接続された利得補正用コンデンサを
さらに備えてもよく、

15 前記変流器の1次巻線に流れる電流を増幅し、増幅した電流が、前記電流供給用コン
デンサと利得補正用コンデンサとのインピーダンスの比により決まる比率で、前記電流供給
用コンデンサと利得補正用コンデンサとからそれぞれ出力されるように構成されたもの
であつてもよい。

前記第1、第2の電圧降下素子は、ダイオードによって構成されたものであつてもよい。

20 前記電圧降下素子とバイポーラトランジスタとが互いに近傍に配置されていてもよい。

前記電圧降下素子と前記バイポーラトランジスタとが半導体の同一基板上に形成され
たものであつてもよい。

また、本発明の第8の観点に係る増幅回路は、

1次巻線と2次巻線とを有する変流器の2次巻線に接続される増幅回路であつて、

25 電流路と制御端とを備え、前記電流路の一端に前記変流器の2次巻線の一端が接続され、

該 2 次巻線の一端と前記制御端との間の電圧に基づいて、前記変流器の 2 次巻線に流れる電流の量を制御する制御手段と、

前記変流器の 2 次巻線の一端と他端との間の電圧が零となるように前記 2 次巻線の他端の電圧を調整する電圧調整手段と、を備え、

- 5 前記変流器の 1 次巻線に流れる電流を増幅して、増幅した電流が、インピーダンス素子を介して外部に出力されるように構成された、
ことを特徴とする。

- 前記制御手段は、前記電流路の一端がエミッタであり、他端がコレクタであり、前記制御端がベースであって、前記エミッタに前記変流器の 2 次巻線の一端が接続され、前記 2
10 次巻線の一端と前記ベースとの間の電圧に基づいて、前記変流器の 2 次巻線に流れる電流の量を制御するトランジスタによって構成されたものであってもよい。

前記電圧調整手段は、前記変流器の 2 次巻線の他端と前記制御手段の制御端との間に接続されたダイオードによって構成されたものであってもよい。

また、本発明の第 9 の観点に係るノイズ低減装置は、

- 15 所定の電源からの電力供給用の一対の電源線に伝播するノイズを低減するノイズ低減装置であって、

前記一対の電源線を 1 次巻線として、前記一対の電源線から接地線に漏れる漏れ電流を検出する変流器と、

- 前記変流器の 1 次巻線に流れる電流を増幅し、増幅した電流を、前記第 1 のインピーダンス素子と第 2 のインピーダンス素子とのインピーダンスの比により決まる比率で、前記
20 第 1 のインピーダンス素子と第 2 のインピーダンス素子とからそれぞれ出力して、前記変流器よりも電源側で、接地線に、前記漏れ電流を相殺する方向に供給するように構成された請求項 1 に記載の増幅回路と、を備えた、

ことを特徴とする。

- 25 前記増幅回路は、前記接地線に供給する電流の電流値が前記変流器が検出した漏れ電流

の電流値に等しくなるように前記変流器の１次巻線に流れる電流を増幅するものであってもよい。

また、本発明の第１０の観点に係るノイズ低減装置は、

所定の電源からの電力供給用の一対の電源線に伝播するノイズを低減するノイズ低減

５ 装置であって、

前記一対の電源線を１次巻線として、前記一対の電源線から接地線に漏れる漏れ電流を検出する変流器と、

前記変流器の１次巻線に流れる電流を増幅し、増幅した電流を、前記変流器よりも電源側で、接地線に、前記漏れ電流を相殺する方向に供給するように構成された請求項９に記載の増幅回路と、を備えた、

ことを特徴とする。

前記増幅回路は、前記接地線に供給する電流の電流値が前記変流器が検出した漏れ電流の電流値に等しくなるように前記変流器の１次巻線に流れる電流を増幅するものであってもよい。

１５ また、本発明の第１１の観点に係るノイズ低減装置は、

電力供給用の一組の電源線に伝播するノイズを低減するノイズ低減装置であって、

前記電源線と共に磁芯を貫通する出力巻線を備える変流器の当該出力巻線に誘起される電流を検出することにより、前記電源線から接地線に流れるノイズに起因する漏れ電流を検出する漏れ電流検出手段と、

２０ 前記漏れ電流検出手段が検出した漏れ電流を、前記漏れ電流を打ち消すための補償電流として、前記補償電流の注入点を前記変流器による漏れ電流検出点よりも前記電源線の入力に近い前記接地線とし、前記補償電流を前記注入点に供給する電流供給手段と、を備えた、

ことを特徴とする。

２５ 前記電源線及び前記出力巻線は、前記磁芯にそれぞれ一回のみ貫通しているものであつ

てもよい。

前記変流器の磁芯は複数の部分へと分解可能な形状を有しており、分解して再び組み合わせることにより、前記電源線を切断することなく前記電源線を自己に貫通させることができるよう構成されていてもよい。

- 5 前記変流器は、前記電源線の零相電流に等しい電流値を有する電流を出力巻線に誘起させるものであるものであってもよい。

前記電流供給手段は、前記漏れ電流検出手段が検出した漏れ電流を増幅する増幅回路を備え、前記増幅回路は、所定の直流電源から電力が供給されて、増幅度を1として前記接地線に供給する電流を増幅するものであってもよい。

- 10 前記増幅回路は、

NPNトランジスタと、PNPトランジスタと、コンデンサと、
を備え、

- 前記NPNトランジスタのコレクタは、直流電源の正極に接続され、前記PNPトランジスタのエミッタは、前記NPNトランジスタのエミッタに接続され、前記PNPトランジスタのコレクタは前記直流電源の負極に接続され、前記漏れ電流検出手段の一方の出力端が前記NPNトランジスタのベース及び前記PNPトランジスタのベースに接続され、前記漏れ電流検出手段のもう一方の出力端が前記NPNトランジスタのエミッタ及び前記PNPトランジスタのエミッタに接続され、
- 15

- 前記コンデンサは、前記接地線と、前記NPNトランジスタのベース及び前記PNPトランジスタのベースと、の間に接続されて構成されたものであってもよい。
- 20

前記増幅回路は、

1次巻線と2次巻線とを有する変流器の2次巻線に接続される増幅回路であって、
前記変流器の2次巻線に流れる電流を増幅し、第1のインピーダンス素子を介して出力する電流増幅部と、

- 25 前記電流増幅部により前記第1のインピーダンス素子に印加される電圧に対応する電

圧を第2のインピーダンス素子に印加して、該第2のインピーダンス素子から電流を出力するバッファ増幅部と、を備え、

前記変流器の1次巻線に流れる電流を増幅したものに相当する電流が、前記第1のインピーダンス素子と第2のインピーダンス素子とのインピーダンスの比により決まる比率

5 で、前記第1のインピーダンス素子と第2のインピーダンス素子とからそれぞれ出力されるように構成されたものであってもよい。

前記増幅回路は、

エミッタが、1次巻線と2次巻線とを有する変流器の2次巻線の一端に接続され、コレクタが直流電源の正極に接続され、コレクタとベースとの間に第1の抵抗が接続されたN
10 P N形バイポーラトランジスタと、

前記N P N形バイポーラトランジスタのベースと前記変流器の2次巻線他端との間に接続されて、前記N P N形バイポーラトランジスタのベース－エミッタ間電圧に相当する電圧降下を発生させる第1の電圧降下素子と、

エミッタが前記変流器の2次巻線の一端に接続され、コレクタが前記直流電源の負極に
15 接続され、コレクタとベースとの間に第2の抵抗が接続されたP N P形バイポーラトランジスタと、

前記P N P形バイポーラトランジスタのベースと前記変流器の2次巻線他端との間に接続されて、前記P N P形バイポーラトランジスタのエミッター－ベース間電圧に相当する電圧降下を発生させる第2の電圧降下素子と、

20 前記第1の電圧降下素子と前記第2の電圧降下素子との接続点に一端が接続された電流供給用コンデンサと、

を備え、

前記変流器の1次巻線に流れる電流を増幅して、増幅した電流が、前記電流供給用コンデンサを介して出力されるように構成されたものであってもよい。

25 また、本発明の第12の観点に係る電力変換装置は、

電源からの供給された電力を、所定の電圧の電力に変換して負荷に供給する電力変換部と、

前記電源から前記電力変換部への電力供給用の一対の電源線に伝播するノイズを低減する上記第 9 の観点に係るノイズ低減装置と、を備えた、

5 ことを特徴とする。

また、本発明の第 13 の観点に係る電力変換装置は、

電源からの供給された電力を、所定の電圧の電力に変換して負荷に供給する電力変換部と、

前記電源から前記電力変換部への電力供給用の一対の電源線に伝播するノイズを低減

10 する上記第 10 の観点に係るノイズ低減装置と、を備えた、

ことを特徴とする。

また、本発明の第 14 の観点に係る電力変換装置は、

電源から供給された電力を、所定の電圧の電力に変換して負荷に供給する電力変換部と、

前記電源から前記電力変換部への電力供給用の一対の電源線に伝播するノイズを低減

15 する上記第 11 の観点に係るノイズ低減装置と、を備えた、

ことを特徴とする。

前記電力変換部がトランスを備え、前記トランスは、前記ノイズ低減装置が備える電流供給手段に電力を供給する直流電源を構成する補助巻線をさらに備えたものであってもよい。

20 前記電力変換部は、インバータ回路と、前記インバータ回路を制御する制御回路と、前記制御回路用の動作電源とを備え、前記動作電源は、前記ノイズ低減装置が備える電流供給手段に電力を供給する直流電源となるものであってもよい。

図面の簡単な説明

25 図 1 は、本発明の第 1 の実施の形態に係る電力変換装置の構成を示すブロック図である。

図 2 Aは貫通形変流器の斜視図であり、図 2 Bは零相変流器の斜視図であり、図 2 Cは図 1 の零相変流器の等価回路を示す回路図である。

図 3 は、図 1 の増幅回路の構成を示す回路図である。

図 4 A～図 4 Hは、図 1 の電力変換装置の動作を示すタイミングチャートである。

5 図 5 は、増幅回路の増幅原理を説明するための図である。

図 6 は、主増幅器が補正増幅器を兼用した増幅回路の構成を示す回路図である。

図 7 は、図 6 の増幅回路の増幅原理を示す説明図である。

図 8 は、図 3 に示す増幅回路のトランジスタの代わりに F E Tを用いた場合の構成を示す回路図である。

10 図 9 は、図 6 に示す増幅回路のトランジスタの代わりに F E Tを用いた場合の構成を示す回路図である。

図 1 0 は、本発明の第 2 の実施の形態に係る電力変換装置の構成を示す回路図である。

図 1 1 A～図 1 1 Fは、図 1 0 の電力変換装置の動作を示すタイミングチャートである。

図 1 2 は、図 1 0 のノイズ低減回路部の動作を説明するための説明図である。

15 図 1 3 は、ノイズ低減回路部の応用回路を示す回路図である。

図 1 4 は、同上ノイズ低減回路部の応用回路を示す回路図である。

図 1 5 は、同上ノイズ低減回路部の応用回路を示す回路図である。

図 1 6 は、同上ノイズ低減回路部の応用回路を示す回路図である。

図 1 7 は、同上ノイズ低減回路部の応用回路を示す回路図である。

20 図 1 8 は、同上ノイズ低減回路部の応用回路を示す回路図である。

図 1 9 は、同上ノイズ低減回路部の応用回路を示す回路図である。

図 2 0 は、本発明の第 3 の実施の形態に係る電力変換装置の構成を示す回路図である。

図 2 1 は、図 2 0 の零相変流器の構成を示す図である。

図 2 2 は、図 2 0 の漏れ電流を相殺する原理を示す説明図である。

25 図 2 3 A～図 2 3 Fは、図 2 0 の電力変換装置の動作を示すタイミングチャートである。

図 2 4 A～図 2 4 E は、ノイズ低減回路部の動作を示すタイミングチャートである。

図 2 5 は、零相変流器の別の構成を示す図である。

図 2 6 は、零相変流器の 2 次巻線を 2 つ設けた増幅回路の応用例を示す回路図である。

図 2 7 は、零相変流器の 2 次巻線を 2 つ設けた増幅回路の他の応用例を示す回路図である。

図 2 8 は、零相変流器の 2 次巻線を 2 つ設けた増幅回路の他の応用例を示す回路図である。

図 2 9 は、増幅回路のトランジスタの代わりに F E T を用いた場合の応用例を示す回路図である。

図 3 0 は、増幅回路のトランジスタの代わりに F E T を用いた場合の他の応用例を示す回路図である。

図 3 1 は、増幅回路のトランジスタの代わりに F E T を用いた場合の他の応用例を示す回路図である。

図 3 2 は、増幅回路のトランジスタの代わりに F E T を用いた場合の他の応用例を示す回路図である。

図 3 3 は、交流電源からの交流ラインに補償電流を供給するようにした回路構成を示すブロック図である。

図 3 4 は、直流ラインに補償電流を供給するようにした回路構成を示すブロック図である。

図 3 5 は、本発明の第 4 の実施の形態に係る電力変換装置の構成を示す回路図である。

図 3 6 は、本発明の第 5 の実施の形態に係る電力変換装置の構成を示す回路図である。

図 3 7 は、本発明の第 6 の実施の形態に係る電力変換装置の構成を示す回路図である。

図 3 8 A 及び図 3 8 B は、ノイズ低減の原理を説明するための図である。

以下、本発明の実施の形態に係る電力変換装置を図面を参照して説明する。

(第1の実施の形態)

図1は、本実施の第1の実施の形態に係る電力変換装置の構成を示す図である。

図示するように、この電力変換装置は、ノイズフィルタ部1と、整流平滑回路部2と、
5 電力変換回路部3と、ノイズ低減回路部4と、より構成されている。

ノイズフィルタ部1は、コンデンサC11、C12、C13及びC14と、チョークコイルL1とを備えている。

チョークコイルL1は、コモンモードノイズを減衰させる1対のコモンモードチョークコイルからなる。これら1対のコモンモードチョークコイルは、交流電源ACVからみた
10 巻き方向が互いに同じになるようにして、交流電源ACVの1対の電源線に、1個ずつ直列接続されている。

コンデンサC11、C12は、ノーマルモードノイズを減衰させるアクロスザラインコンデンサである。コンデンサC11は、交流電源ACVの1対の電源線の間に接続されている。コンデンサC12は、コモンモードチョークコイルL1が挿入された1対の電源線
15 の間（すなわち、チョークコイルL1を構成する1対のコモンモードチョークコイルのうち交流電源ACVに接続されていない方の1対の端同士の間）に接続されている。

コンデンサC13、C14は、コモンモードノイズを低減させるためのコンデンサである。コンデンサC13は、コモンモードチョークコイルL1が挿入された1対の電源線の一方と接地ラインとの間に接続されており、コンデンサC14は、当該1対の電源線の他
20 方と接地ラインとの間に接続されている。

整流平滑回路部2は、整流回路21と、コンデンサC21とより構成されている。

整流回路21は、交流電源ACVから供給されノイズフィルタ部1を通過した交流電圧を整流するものであり、例えば、4つのダイオードからなるブリッジ整流回路によって構成されている。また、整流回路21は、1対の入力端と、正極及び負極からなる出力端と
25 を備えている。整流回路21の入力端は、コモンモードチョークコイルL1が挿入された

1 対の電源線の間接続されている。整流回路 2 1 の出力端の正極と負極との間には、整流回路 2 1 の入力端間に印加された交流電圧を整流して得られる整流電圧が出力される。ただし、出力端の負極を基準とした正極の電圧は、正の値をとるものとする。なお、出力端の正極にはライン E 1 が接続され、負極にはライン E 2 が接続される。

- 5 コンデンサ C 2 1 は、整流回路 2 1 の出力端の両極間に接続されており、当該両極間から出力される整流電圧を平滑化する。

電力変換回路部 3 は、所定の直流電力を所定の電圧の直流電力に変換し、変換により得られた直流の出力電圧を外部の負荷 R 0 に供給するものである。電力変換回路部 3 は例えば、図示するように、トランス（変圧器）T と、スイッチング素子 Q 1 と、ダイオード D 1 と、コンデンサ C 3 1 と、より構成されるフライバックコンバータと、図示しない制御部とからなる。

10

トランス T は、1 次巻線 n 1 と 2 次巻線 n 2 とを備えている。1 次巻線 n 1 は 1 対の端 P t 1 1 及び P t 1 2 を備え、2 次巻線 n 2 は 1 対の端 P t 2 1 及び P t 2 2 を備えている。1 次巻線 n 1 及び 2 次巻線 n 2 は、1 次巻線 n 1 の端 P t 1 1 と 2 次巻線 n 2 の端 P t 2 1 とが互いに逆極性となるように巻かれている。端 P t 1 1 は、ライン E 1 を介して、整流平滑回路部 2 の整流回路 2 1 の出力端の正極に接続されている。

15

スイッチング素子 Q 1 は、例えば、F E T（電界効果トランジスタ）等より構成されており、制御端と、電流路とを備えている。スイッチング素子 Q 1 の電流路の一端は 1 次巻線 n 1 の端 P t 1 2 に接続されている。電流路の他端は、図示するように、ライン E 2 を介して整流回路 2 1 の出力端の負極に接続されている。スイッチング素子 Q 1 は、自己の制御端にパルス状の信号 S 1 が供給されると、この信号 S 1 に従って自己の電流路をスイッチングすることにより、1 次巻線 n 1 を経て当該電流路の他端と 1 次巻線 n 1 の端 P t 1 1 との間に流れる電流をスイッチングする。この結果、1 次巻線 n 1 には断続的に電力が供給され、2 次巻線 n 2 には交流電圧が励起される。このようにして、トランス T の 1 次側から 2 次側へと電力が伝達される。

20

25

ダイオードD 1のアノードは、例えば、図示するように2次巻線n 2の端P t 2 1に接続されており、ダイオードD 1のカソードは、例えば、図示するように、電力変換回路部3の出力端の正極(+)に接続されている。なお、電力変換回路部3の出力端の負極(-)は、2次巻線n 2の端P t 2 2に接続されている。ダイオードD 1は、スイッチング素子Q 1の電流路がオンする期間(オン期間)は逆バイアスされ、スイッチング素子Q 1の電流路がオフする期間(オフ期間)では順バイアスされる。この結果、ダイオードD 1は、2次巻線n 2に誘起された電圧により流れる電流を整流する。

コンデンサC 3 1は、例えば、図示するように、ダイオードD 1のカソードと2次巻線n 2の端P t 2 2との間に接続されている。コンデンサC 3 1はダイオードD 1を通過した電流を平滑化し、オフ期間において負荷R 0に供給される電流の供給源となることにより、直流の出力電圧を生成する。

電力変換回路部3の制御部は、発振器やPWM (Pulse Width Modulation) 制御回路等からなり、スイッチング素子Q 1の制御端に上述のパルス状の信号S 1を供給する。そして、この信号S 1にPWM制御を施すことにより、出力電圧を安定化させる。

ノイズ低減回路部4は、電力変換装置のノイズを低減するための回路である。ノイズ低減回路部4は、零相変流器4 1と、増幅回路4 2と、ダイオードスナバ回路4 3と、により構成されている。

零相変流器4 1は、漏れ電流を検出するための変流器である。零相変流器4 1は、例えば図2 Bに示す構成を有している。すなわち、零相変流器4 1は、磁芯4 1 Aと2次巻線n 2 1とを備えた、図2 Aに示す貫通形変流器4 1 Bの磁芯4 1 Aに、図2 Bに示すようにラインE 1及びE 2がそれぞれ巻き回された構成を有している。

図示するように、2次巻線n 2 1は端子P 3及びP 4を有する。端子P 3及びP 4のいずれか一方は、増幅回路4 2の後述するトランジスタQ 1 1~Q 1 4の各ベースに接続され、もう一方は、トランジスタQ 1 1及びQ 1 2の各エミッタに接続される。

図2 Cは、零相変流器4 1の等価回路を示す図である。図2 Cに示す、零相変流器4 1

の仮想の1次巻線 $n11$ は、仮想の端子 $P1$ 及び $P2$ を有しており、ライン $E1$ 及び $E2$ に流れる電流の差に相当する電流を流すものとする。

漏れ電流がライン $E1$ 及び $E2$ に流れると、ライン $E1$ 及び $E2$ の間に電流の大きさの差が生じる。零相変流器 41 は、この電流の差を検出することにより漏れ電流を検出する。

- 5 すなわち、零相変流器 41 の仮想の1次巻線 $n11$ には、ライン $E1$ と $E2$ とに流れる電流の差として1次電流 $I1$ が流れ、2次巻線 $n21$ には、1次電流 $I1$ に基づいて電流 $I2$ が誘起される。2次巻線 $n21$ の巻き方向は、この誘起電流 $I2$ が接地ラインへと、漏れ電流を相殺する方向に流れるよう設定される。

- 10 増幅回路 42 は、零相変流器 41 の2次巻線 $n21$ に誘起された電流を増幅し、増幅した電流を、補償電流として、接地ラインへと、漏れ電流を相殺する方向に供給するものである。増幅回路 42 は、図1及び図3に示すように、トランジスタ $Q11 \sim Q14$ と、コンデンサ $C41$ 、 $C42$ と、より構成されている。

- このうち、トランジスタ $Q11$ 及び $Q12$ は、図3に示すように、主増幅器 $42A$ を構成する。主増幅器 $42A$ は、電流増幅器として作用する。また、トランジスタ $Q13$ 及び
15 $Q14$ は、図3に示すように補正増幅器 $42B$ を構成する。補正増幅器 $42B$ は、電圧増幅器として作用する。

トランジスタ $Q11$ 及び $Q13$ は、NPN形のバイポーラトランジスタである。トランジスタ $Q11$ 及び $Q13$ の各コレクタは、いずれも、ダイオードスナバ回路 43 の後述するダイオード $D2$ のカソードに接続されている。

- 20 トランジスタ $Q12$ 及び $Q14$ は、PNP形のバイポーラトランジスタである。トランジスタ $Q12$ のエミッタはトランジスタ $Q11$ のエミッタに接続されており、トランジスタ $Q14$ のエミッタはトランジスタ $Q13$ のエミッタに接続されている。トランジスタ $Q12$ 及び $Q14$ の各コレクタは、いずれもトランス T の端 $Pt11$ に接続されている。

- 25 コンデンサ $C41$ は、補償電流を接地ラインに供給するためのコンデンサであり、トランジスタ $Q11 \sim Q14$ の各ベースと接地ラインとの間に接続されている。

コンデンサC 4 2は、増幅回路4 2の増幅率を調整するためのコンデンサであり、トランジスタQ 1 3のエミッタ及びトランジスタQ 1 4のエミッタの接続点と、接地ラインとの間に接続されている。

ダイオードスナバ回路4 3は、コンデンサC 4 3と、抵抗器R 1と、ダイオードD 2とより構成されている。ダイオードD 2のアノードは、電力変換回路部3のトランスTの端P t 1 2に接続されている。コンデンサC 4 3及び抵抗器R 1は、それぞれ、ダイオードD 2のカソードとトランスTの端P t 1 1との間に接続されている。

次に、図1の電力変換装置の動作を、図4を参照して説明する。なお、以下では、電力変換回路部3の制御部がスイッチング素子Q 1の制御端に印加する信号S 1がハイレベルになるとスイッチング素子Q 1はオンし、信号S 1がローレベルになるとスイッチング素子Q 1はオフするものとする。

この場合において、電力変換回路部3の制御部が、スイッチング素子Q 1の制御端に、図4 Aに示すような信号S 1を供給したとする。すると、図示する時刻t 0～時刻t 1がスイッチング素子Q 1のオン期間となり、時刻t 1～時刻t 2が、スイッチング素子Q 1のオフ期間となる。

スイッチング素子Q 1がオン及びオフすることにより、トランスTの1次巻線n 1に流れる電流がスイッチングされ、トランスTの1次巻線n 1に、このスイッチングに応じた電圧が発生する。

オン期間において、トランスTの1次側では、図4 Bに示すように、スイッチング素子Q 1に印加される電圧V q 1はほぼ0となり、スイッチング素子Q 1には、図4 Cに示すような強度の電流I q 1が流れる。一方、トランスTの2次巻線n 2は1次巻線n 1と逆極性になっている。このため、オン期間において、トランスTの2次側では、ダイオードD 1が、2次巻線n 2の内部を電流が通過することを阻止する。この結果、2次巻線n 2は実質的に開放状態となる。このオン期間においては、トランスTにエネルギーが蓄積される。トランスTの1次巻線n 1には、図4 Dに示すような電圧V t 1が印加される。

オフ期間においては、スイッチング素子 Q_1 に印加される電圧 V_{q1} は、図4Bに示すように、コンデンサ C_{21} の充電電圧よりも高くなり、スイッチング素子 Q_1 に流れる電流 I_{q1} は、図4Cに示すように、ほぼ0となる。

また、オフ期間において、トランス T の2次側ではダイオード D_1 が導通し、トランス T は、蓄積したエネルギーを放出する。具体的には、このエネルギーに起因して、2次巻線 n_2 からダイオード D_1 を介してコンデンサ C_{31} に、図4Eに示すような強度の電流 I_d が流れる。電流 I_d の強度の初期値は、電流 I_{q1} の最大電流値に比例し、且つ、トランス T の1次巻線 n_1 と2次巻線 n_2 との巻数比に反比例した値をとる。そして、電流 I_d のその後の強度は、トランス T がエネルギーを放出するにつれ減少し、蓄積したエネルギーをトランス T がすべて放出した時点で、電流 I_d の強度は0になる。

なお、図4B及び図4Dに示すように、オフ期間においては、電圧 V_{q1} や電圧 V_{t1} には、トランス T のインダクタンスと配線が有するインダクタンスとに起因するスパイク電圧が重畳される。ダイオードスナバ回路43は、このスパイク電圧の電圧レベルを低下させる。

具体的には、ダイオード D_2 がこのスパイク電圧により生じる電流を整流し、コンデンサ C_{43} は、整流された電流を電力として蓄え、抵抗器 R_1 は、コンデンサ C_{43} に蓄えられた電力を消費する。このような作用を有するダイオードスナバ回路43は、コンデンサ C_{43} に蓄えられた電力を増幅回路42に供給する。

コンデンサ C_{31} は、ダイオード D_1 によって整流された電流 I_d を平滑化する。これにより、直流電圧が生成され、電力変換回路部3は、生成した直流電圧を負荷 R_0 に供給する。

一方、スイッチング素子 Q_1 がスイッチングすることにより、この電力変換装置から、コンデンサ C_{13} 及び C_{14} を経由して接地ラインに、例えば図4Fに示すような強度の漏れ電流 I_s が流れる。この現象が、コモンモードノイズの発生の要因である。

ライン E_1 及び E_2 に不平衡な電流が流れると、零相変流器41の2次巻線 n_{21} には

誘起電流が流れる。

この誘起電流の正の半サイクルにおいては、この誘起電流が分流して、トランジスタQ 1 1 及びQ 1 3 の各ベースにベース電流として流れる。誘起電流が流れることによってトランジスタQ 1 1 及びQ 1 3 の各エミッタの電位は上昇する。また、誘起電流がトランジスタQ 1 1 及びQ 1 3 のベースに流れることによって、トランジスタQ 1 1 及びQ 1 3 のベースの電位も上昇する。トランジスタQ 1 1 及びQ 1 3 の増幅率は1 よりも充分大きいとみてよいから、結果として、漏れ電流 I_s と同じ電流値の電流が増幅回路 4 2 にて生成される。

一方、この誘起電流の負の半サイクルにおいては、トランジスタQ 1 2 及びQ 1 4 が、正の半サイクルにおけるトランジスタQ 1 1 及びQ 1 3 と同様に動作し、漏れ電流 I_s と同じ電流値の電流を生成する。

トランジスタQ 1 1 及びQ 1 3 の上述の動作と、トランジスタQ 1 2 及びQ 1 4 の上述の動作との組み合わせにより、例えば図 4 G に示すような強度の補償電流 I_r が生成される。

そして、増幅回路 4 2 は、この補償電流 I_r を、漏れ電流 I_s とは逆向きになるようにコンデンサC 4 1, C 4 2 を介して接地ラインに供給する。この結果、例えば図 4 H に示すように、漏れ電流 I_s が減少する。従って、この電力変換装置はコモンモードノイズを低減できる。

次に、増幅回路 4 2 の動作を、図 5 を参照してより詳細に説明する。なお、以下では、増幅回路 4 2 のコンデンサC 4 1 及びC 4 2 を、それぞれのインピーダンスの絶対値に比例した抵抗値を有する抵抗器R 4 1 及びR 4 2 に置き換えて説明する。

上述した零相変流器 4 1 の仮想の1 次巻線 n_{11} に、上述の1 次電流 I_1 が流れると、2 次巻線 n_{21} には、1 次電流 I_1 に基づいて電流 I_2 が誘起される。なお、2 次巻線 n_{21} の巻き方向は、この電流 I_2 が増幅されて、漏れ電流を相殺する方向に、接地ラインに流れるように設定されている。

抵抗器 R 4 1 には、電流値が電流 I 2 とほぼ等しい電流 I 1 1 が流れる。また、抵抗器 R 4 2 には、抵抗器 R 4 1 に印加される電圧と等しい電圧が印加される。従って、抵抗器 R 4 2 に流れる電流 I 1 2 の電流値は、式 (5) によって表される。

$$i_{12} = i_2 \cdot (r_{41} / r_{42}) \quad \dots (5)$$

- 5 (但し、 i_{12} は抵抗器 R 4 2 に流れる電流 I 1 2 の電流値、 i_2 は電流 I 2 の電流値、 r_{41} は抵抗器 R 4 1 の抵抗値、 r_{42} は、抵抗器 R 4 2 の抵抗値)

また、増幅回路 4 2 の利得は、以下の式 (6) によって表される。

$$A_{42} = \{1 + (r_{41} / r_{42})\} \quad \dots (6)$$

(但し、 A_{42} は増幅回路 4 2 の利得)

- 10 式 (6) が示すように、増幅回路 4 2 の利得は、抵抗器 R 4 1 と R 4 2 との抵抗値の比に従って決まる。従って、この比を変えることにより、増幅回路 4 2 の利得を任意に設定することができる。

例えば、零相変流器 4 1 の検出比に誤差が生じた場合、抵抗器 R 4 1 と R 4 2 との抵抗値の比を変え、増幅回路 4 2 の利得を調整することにより、零相変流器 4 1 と増幅回路 4

- 15 2 との総合利得を 1 にすることができる。

以上説明したように、この第 1 の実施の形態の電力変換装置は、増幅回路 4 2 の主増幅器 4 2 A と並列に補正増幅器 4 2 B を設けるようにしたので、簡単な回路で容易に増幅回路 4 2 の利得を調整することができる。従って、零相変流器 4 1 の検出比に誤差が生じた場合でも、増幅回路 4 2 の利得を調整することにより、零相変流器 4 1 と増幅回路 4 2 と

20 の総合利得を 1 にすることが容易である。

また、増幅率を調整する際に零相変流器 4 1 の巻数を調整する必要がない。このため、零相変流器 4 1 の巻数を増やすこともなく、零相変流器 4 1 を小型化することができる。また、増幅回路 4 2 として未調整状態での精度が高いものを用いる必要もないため、安価にすることができる。

- 25 また、電力変換装置内を伝播する漏れ電流を検出し、その検出電流に基づいて補償電流

を接地ラインに供給する手法を用いることができるので、ノイズフィルタ部 1 も小型化され、減衰量の大きなフィルタを構成することができる。

なお、この第 1 の実施の形態の電力変換装置の構成は上述のものに限られない。

例えば、主増幅器 4 2 A が補正増幅器 4 2 B を兼用することもできる。主増幅器 4 2 A が補正増幅器 4 2 B を兼用することにより、新たな増幅器を備えずに増幅回路 4 2 の利得を調整することができる。

図 6 は、主増幅器 4 2 A が補正増幅器 4 2 B を兼用する増幅回路 4 2 の構成を示す図である。図 7 は、図 6 の増幅回路 4 2 の動作原理を説明するための図である。図 6 の増幅回路 4 2 では、トランジスタ Q 1 1 及び Q 1 2 が補正増幅器 4 2 B を兼用する。

図 6 に示す増幅回路 4 2 では、トランジスタ Q 1 1、Q 1 2 のエミッタ電位は、ベース電圧とほぼ等しくなる。また、トランジスタ Q 1 1 及び Q 1 2 のエミッタから電流を流してもベース側負荷には実質的に影響がない。この点に着目すると、図 7 に示すように、上述の式 (6) が示す関係が図 6 の増幅回路 4 2 においても満たされることが分かる。従って、主増幅器 4 2 A が補正増幅器 4 2 B を兼用することが可能である。

また、図 8 に示すように、図 3 の増幅回路 4 2 におけるバイポーラトランジスタ Q 1 1、Q 1 2、Q 1 3 及び Q 1 4 の代わりに、それぞれ、電界効果トランジスタ FET 1 1、FET 1 2、FET 1 3 及び FET 1 4 を用いて、増幅回路 4 2 を構成することができる。また、図 9 に示すように、図 6 の増幅回路 4 2 におけるバイポーラトランジスタ Q 1 1 及び Q 1 2 の代わりに、それぞれ、電界効果トランジスタ FET 1.1 及び FET 1.2 をを用いて、増幅回路 4 2 を構成することもできる。電界効果トランジスタを用いた場合、ゲート電流がほぼ零となることから、バイポーラトランジスタを用いた場合より高性能の増幅回路 4 2 を構成することができる。

以上説明したように、本発明の第 1 の実施の形態の電力変換装置によれば、増幅率の容易な調整が可能となる。

(第 2 の実施の形態)

次に、本発明の第2の実施の形態に係る電力変換装置を説明する。図10は、本発明の第2の実施の形態に係る電力変換装置の構成を示す図である。図示するように、この電力変換装置は、ノイズフィルタ部1と、整流平滑回路部2と、電力変換回路部3と、ノイズ低減回路部4と、より構成されている。

5 図10のノイズフィルタ部1及び整流平滑回路部2は、第1の実施の形態における図1のノイズフィルタ部1及び整流平滑回路部2と実質的に同一の構成を有している。ただし、図10のノイズフィルタ部1は、コンデンサC14を備えていない点で図1の構成と異なっている。

図10の電力変換回路部3はフォワードコンバータを形成しており、トランスTと、ス
10 イッチング素子Q1と、ダイオードD1、D2と、チョークコイルL2と、コンデンサC31と、図示しない制御部とより構成されている。電力変換回路部3は、整流平滑回路部2が生成した直流電力を所定の電圧の直流電力に変換し、直流電圧を負荷R0に供給する。

トランスTは、1次巻線n1及び2次巻線n2が、1次巻線n1の端Pt11と2次巻線n2の端Pt21とが互いに同極性となるように巻かれている点を除き、図1の構成に
15 おけるものと実質的に同一の構成を有している。図10のトランスTの端Pt11は、整流平滑回路部2の整流回路21の出力端の正極に接続されている。

スイッチング素子Q1は、図1の構成におけるものと実質的に同一の構成を有している。スイッチング素子Q1の電流路の一端は1次巻線n1の端Pt12に接続され、他端は整流回路21の出力端の負極に接続されている。スイッチング素子Q1は、図1の構成にお
20 けるものと同様、自己の制御端に供給される信号S1に従って自己の電流路をスイッチングすることにより、1次巻線n1に断続的に電力を供給して2次巻線n2に交流電圧を励起させ、トランスTの1次側から2次側へと電力を伝達させる。

図10の構成におけるダイオードD1のアノードは2次巻線n2の一端Pt21に接続されており、カソードはチョークコイルL2の一端に接続されている。図10の構成に
25 おいて、ダイオードD1は、スイッチング素子Q1のオン期間に2次巻線n2に発生した

電圧に起因して流れる電流を整流する。

ダイオードD 2は、スイッチング素子Q 1のオン期間にチョークコイルL 2に蓄積されたエネルギーに起因して流れる電流を、オフ期間にコンデンサC 3 1へと環流させるためのダイオードである。ダイオードD 2のアノードは2次巻線n 2の一端P t 2 2に接続されており、カソードはダイオードD 1のカソードに接続されている。

チョークコイルL 2の一端は、ダイオードD 1及びD 2の各カソードに接続されており、他端は、図示するように、電力変換回路部3の出力端の正極(+)に接続されている。なお、電力変換回路部3の出力端の負極(-)は、2次巻線n 2の一端P t 2 2に接続されている。

コンデンサC 3 1は、チョークコイルL 2を通過した電流を平滑化して直流電圧を生成するためのコンデンサであり、チョークコイルL 2の上述の他端と、トランスTの2次巻線n 2の端P t 2 2との間に接続されている。なお、チョークコイルL 2とコンデンサC 3 1とは低周波LCフィルタを構成する。

尚、浮遊容量C 3 2は、電力変換回路部3の出力端の負極(-)と接地ラインとの間に存在する浮遊容量である。

図10のノイズ低減回路部4は、零相変流器4 1と、増幅回路4 2と、定電圧回路4 4と、を備えて構成されている。

図10の構成における零相変流器4 1は、図2 A～図2 Cに示すものと実質的に同一の構成を有している。ただし、図10の構成における零相変流器4 1は、ノイズフィルタ部1と整流平滑回路部2との間に配置される。すなわち、零相変流器4 1の磁芯4 1 Aに巻き回されるラインE 1及びE 2は、コモンモードチョークコイルL 1が挿入された1対の電源線をなすものであり、チョークコイルL 1を構成する1対のコモンモードチョークコイルのうち交流電源ACVに接続されていない方の1対の端と、整流回路2 1の1対の入力端との間を1対1に接続するラインである。

図10の構成においても、漏れ電流がラインE 1及びE 2に流れると、ラインE 1及び

E 2 の間に電流の不均衡が生じ、電流の差が生じる。零相変流器 4 1 は、この電流の差を検出することにより漏れ電流を検出する。

漏れ電流によってライン E 1 及び E 2 の間で電流差が生ずる理由は、例えば以下の通りである。もし、ノイズの発生がなく、浮遊容量も存在しなければ、ライン E 1 及び E 2 には、それぞれ、電流値が等しく向きが逆向きの電流が流れる。しかし、ノイズが発生すると、このノイズは、ノイズの発生源に接続されたラインに重畳し、各ラインに伝播して、ライン相互間に電流の不均衡を生じさせる。また、ライン E 1 や E 2 は、ライン相互間や他の導体との間で浮遊容量を持つことがあり、この浮遊容量の位置にばらつきがあると、やはりライン相互間での電流の不均衡が生ずる原因となる。そして、漏れ電流はコンデンサ C 1 2 あるいは C 1 3 を介して接地ラインに流れ、ライン間での電流の不均衡は、ライン E 1 及び E 2 に流れる電流の差となって現れてくる。

図 1 0 の構成における増幅回路 4 2 は、零相変流器 4 1 の 2 次巻線 n 2 1 で発生した誘起電流 I 2 を増幅するものであり、トランジスタ Q 1 1 及び Q 1 2 と、ダイオード D 3 及び D 4 と、コンデンサ C 4 1、C 4 3 及び C 4 4 と、抵抗器 R 4 1 及び R 4 2 とからなる。

なお、この増幅回路 4 2 は、補償電流の電流値を漏れ電流の電流値と等しくするため、増幅率が 1 となるように構成されている。

トランジスタ Q 1 1 は、NPN 形バイポーラトランジスタからなる。トランジスタ Q 1 1 のエミッタは、零相変流器 4 1 の 2 次巻線 n 2 1 の一端に接続され、トランジスタ Q 1 1 のコレクタは、定電圧回路 4 4 の後述する正極に接続されている。

トランジスタ Q 1 2 は、PNP 形バイポーラトランジスタからなる。トランジスタ Q 1 2 のエミッタはトランジスタ Q 1 1 のエミッタに接続され、トランジスタ Q 1 2 のコレクタは、定電圧回路 4 4 の負極（及び、ライン E 2）に接続されている。

ダイオード D 3 及び D 4 は、それぞれ、トランジスタ Q 1 1 のエミッターベース間及びトランジスタ Q 1 2 のエミッターベース間に、バイポーラトランジスタのエミッターベース間電圧に相当する電圧を印加するためのダイオードである。ダイオード D 3 のアノード

はトランジスタQ 1 1のベースに接続され、ダイオードD 3のカソードは、零相変流器4 1の2次巻線n 2 1の他端に接続されている。ダイオードD 4のカソードはトランジスタQ 1 2のベースに接続され、ダイオードD 4のアノードは、零相変流器4 1の2次巻線n 2 1の他端に接続されている。

- 5 抵抗器R 4 1及びR 4 2は、ダイオードD 3及びD 4に流れる電流を制限するための抵抗である。抵抗器R 4 1は、ダイオードD 3のアノードと定電圧回路4 4の正極との間に接続されている。抵抗器R 4 2は、ダイオードD 4のカソードと定電圧回路4 4の負極との間に接続されている。なお、増幅回路4 2の中性点の値を増幅回路4 2に印加される電圧の1 / 2に設定するため、抵抗器R 4 1及びR 4 2の抵抗値は、互いに等しくなるよう
10 に設定される。

コンデンサC 4 1は、補償電流を接地ラインに供給するためのコンデンサである。コンデンサC 4 1は、ダイオードD 3のカソードとダイオードD 4のアノードとの接続点と、接地ラインとの間に接続されている。

- コンデンサC 4 3及びC 4 4は、ノイズ成分を平滑化して、ノイズ成分の影響を抑制する
15 ためのコンデンサである。コンデンサC 4 3はトランジスタQ 1 1のベースと零相変流器4 1の2次巻線n 2 1の他端との間に接続されており、コンデンサC 4 4は、トランジスタQ 1 2のベースと零相変流器4 1の2次巻線n 2 1の他端との間に接続されている。

- なお、図1 0の電力変換装置では、零相変流器4 1を補償電流の注入点よりも電力変換回路部3側に配置し、電力変換装置内を伝播する漏れ電流を検出し、その検出電流に基づ
20 いて補償電流を接地ラインに供給する手法を用いる。従って、補償電流の注入点、すなわちコンデンサC 4 1と接地ラインとの接続点は、零相変流器4 1よりも交流電源ACV側に配置される。具体的には、例えば図示するように、コンデンサC 4 1の一端は、コンデンサC 1 3と接地ラインとの接続点に接続されればよい。

- 定電圧回路4 4は、増幅回路4 2に定電圧を供給する直流電源回路である。定電圧回路
25 4 4は、例えば、図示するように、ダイオードD 5と、コンデンサC 4 5及びC 4 6と、

ツェナーダイオードDzと、抵抗器R 4 3及びR 4 4と、より構成されている。また、定電圧回路4 4は、出力端の正極（+）及び負極（-）を備えている。

ダイオードD 5は、交流電源ACVから供給された交流電圧を整流するためのものである。ダイオードD 5のアノードはラインE 1に接続されており、ダイオードD 5のカソードは抵抗器R 4 3の一端に接続されている。

抵抗器R 4 3及びR 4 4は、ツェナーダイオードに流れる電流を制限するための抵抗器である。抵抗器R 4 3の一端は上述の通りダイオードD 5のカソードに接続され、抵抗器R 4 3の他端は抵抗器R 4 4の一端に接続されている。抵抗器R 4 4の他端は、ツェナーダイオードD zのカソードに接続されている。

コンデンサC 4 5及びC 4 6は、平滑用のコンデンサである。コンデンサC 4 5は、抵抗器R 4 3及びR 4 4の接続点とラインE 2との間に接続されている。コンデンサC 4 6は、ツェナーダイオードD zのカソードとラインE 2との間に接続されている。

ツェナーダイオードDzは、コンデンサC 4 6で平滑化された電圧をツェナー電圧でクランプすることにより、直流の定電圧を生成するためのダイオードである。ツェナーダイオードDzのアノードはラインE 2に接続されており、ツェナーダイオードDzのカソードは、上述の通り抵抗器R 4 4の他端に接続されている。また、ツェナーダイオードDzのアノードは定電圧回路4 4の出力端の負極に接続されており、ツェナーダイオードDzのカソードは定電圧回路4 4の出力端の正極に接続されている。

次に、図1 0の電力変換装置の動作を、図1 1 A～図1 1 Fを参照して説明する。なお、以下では、電力変換回路部3の制御部がスイッチング素子Q 1の制御端に印加する信号S 1がハイレベルになるとスイッチング素子Q 1はオンし、信号S 1がローレベルになるとスイッチング素子Q 1はオフするものとする。

この場合において、電力変換回路部3の制御部が、スイッチング素子Q 1の制御端に、図1 1 Aに示すような信号S 1を供給したとすると、図示する時刻t 0～時刻t 1がスイッチング素子Q 1のオン期間となり、時刻t 1～時刻t 2が、スイッチング素子Q 1のオ

フ期間となる。

オン期間において、図 1 1 B に示すように、スイッチング素子 Q_1 に印加される電圧 V_{q1} はほぼ 0 となり、スイッチング素子 Q_1 には、図 1 1 C に示すような強度の電流 I_{q1} が流れる。

- 5 一方、オフ期間においては、スイッチング素子 Q_1 に印加される電圧 V_{q1} は、図 1 1 B に示すように、コンデンサ C_{21} の充電電圧よりも高くなり、スイッチング素子 Q_1 に流れる電流 I_{q1} は、図 1 1 C に示すように、ほぼ 0 となる。

- ダイオード D_1 は、スイッチング素子 Q_1 のオン期間に 2 次巻線 n_2 に発生した電圧に起因して流れる電流を整流する。ダイオード D_2 は、スイッチング素子 Q_1 のオフ期間に、
10 チョークコイル L_2 に流れる電流をコンデンサ C_{31} や負荷 R_0 へと環流する。ダイオード D_1 又は D_2 を流れる電流は、チョークコイル L_2 とコンデンサ C_{31} とによって平滑化され、直流電圧が生成される。電力変換回路部 3 は、生成したこの直流電圧を負荷 R_0 に供給する。

- 一方、図 1 0 の電力変換装置では、スイッチング素子 Q_1 のスイッチングにより生じる
15 漏れ電流 I_s は、浮遊容量 C_{32} などを経由して接地ラインに流れる。この漏れ電流 I_s は、例えば図 1 1 D に示すような強度を有する。そして、ライン E_1 及び E_2 に不平衡な電流が流れると、零相変流器 4 1 の 2 次巻線 n_{21} には誘起電流が流れる。1 次巻線 n_1 と 2 次巻線 n_{21} との巻数比は 1 であるので、2 次巻線 n_{21} に流れる誘起電流の電流値は、1 次電流の電流値と同じ値になる。

- 20 この誘起電流の正の半サイクルにおいては、この誘起電流が分流して、トランジスタ Q_{11} のベースにベース電流として流れ、トランジスタ Q_{11} のエミッタ及びベースの電位は上昇する。トランジスタ Q_{11} の増幅率は 1 よりも充分大きく、増幅回路 4 2 の増幅率が 1 となっているので、この結果、漏れ電流 I_s と同じ電流値の電流が増幅回路 4 2 にて生成される。

- 25 一方、この誘起電流の負の半サイクルにおいては、トランジスタ Q_{12} が、正の半サイ

クルにおけるトランジスタQ 1 1と同様に動作し、漏れ電流I sと同じ電流値の電流を生成する。

図10の増幅回路42は、トランジスタQ 1 1の上述の動作と、トランジスタQ 1 2の上述の動作との組み合わせにより、例えば図11Eに示すような強度の補償電流I rを生成する。

そして、図10の増幅回路42は、この補償電流I rを、漏れ電流I sとは逆向きになるようにコンデンサC 4 1を介して接地ラインに供給する。この結果、例えば図11Fに示すように、漏れ電流I sが減少する。従って、図10の電力変換装置もコモンモードノイズを低減できる。

次に、図10の増幅回路42の動作を、図12を参照してより詳細に説明する。

上述した零相変流器41の仮想の1次巻線n 1 1に、上述の1次電流I 1が流れると、2次巻線n 2 1には、1次電流I 1に基づいて電流I 2が誘起される。なお、2次巻線n 2 1の巻き方向は、この電流I 2が増幅されて、漏れ電流を相殺する方向に、接地ラインに流れるように設定されている。

定電圧回路44が発生させる定電圧により、電流が、定電圧回路44の正極から順に、抵抗器R 4 1、ダイオードD 3、ダイオードD 4及び抵抗器R 4 2を通り、定電圧回路44の負極へと流れる。なお、ダイオードD 3に並列に接続されているコンデンサC 4 3、及びダイオードD 4に並列に接続されているコンデンサC 4 4が、周波数が高いノイズ成分のレベルを下げる。このため、この電流を、トランジスタQ 1 1及びQ 1 2のベースへと効率的に供給することができる。

そして、この電流が流れることにより、ダイオードD 3及びD 4には、トランジスタQ 1 1のベース－エミッタ間電圧に相当する電圧降下が発生する。この電圧は、トランジスタQ 1 1のベース－エミッタ間に正方向に印加される。

また、零相変流器41の出力電圧V c tは、以下の式(7)によって表される。

$$V_{ct} = V_{be} - V_d \quad \dots (7)$$

(但し、 V_{be} はトランジスタ Q_{11} のベース-エミッタ間電圧、 V_d はダイオード D_3 の順方向電圧)

式(7)から分かるように、電圧 V_{be} と電圧 V_d とが互いにほぼ等しい状態では、2次巻線 n_{21} に誘起させる出力電圧 V_{ct} はほぼ0でよい。このため、零相変流器41の1次巻線 n_{11} 、2次巻線 n_{21} の巻数が低減され、また、磁芯41Aのコア断面積も低減される。また、ダイオード D_3 と並列にコンデンサ C_{43} が接続されていることにより、ノイズ成分の周波数が高くても、トランジスタ Q_{11} のベースに供給されるベース電流の損失が少ない。

また、抵抗器 R_{41} 及び R_{42} は、互いに等しい抵抗値を有している。このため、増幅回路42の中性点の電圧は増幅回路42に印加し得る入力電圧の $1/2$ になる。

以上説明したように、本発明の第2の実施の形態の電力変換装置では、トランジスタ Q_{11} 及び Q_{12} のエミッター-ベース間電圧に相当する電圧をダイオード D_3 や D_4 等を用いて生成し、生成した電圧を、トランジスタ Q_{11} 及び Q_{12} のエミッター-ベース間電圧を打ち消す方向に印加している。このため、零相変流器41の2次巻線 n_{21} に大きな電圧を誘起させなくても所望の量の補償電流を発生させることができる。従って、1次巻線 n_{11} 、2次巻線 n_{21} の巻数を減らすことができ、また、磁芯41Aのコア面積を低減することもでき、結果として、零相変流器41を小型化することができる。

また、抵抗器 R_{41} 、 R_{42} により、増幅回路42の中性点を、増幅回路42に印加される入力電圧の $1/2$ に設定することができる。このため、トランジスタ Q_{11} 及び Q_{12} の中性点の電圧が安定する。また、増幅回路42が補償電流を正常に制御できる入力電圧の範囲も広い。また、零相変流器41を含めた増幅回路42の増幅率を正確に1に設定することが容易である。また、零相変流器41を補償電流の注入点よりも電力変換回路部3側に配置し、装置内を伝播する漏れ電流を検出し、その検出電流に基づいて補償電流 I_r を接地ラインに供給することができる。このため、効率的に漏れ電流を低減することができ、従って大きなノイズフィルタを必要とせず、電力変換装置全体の構成を小型化する

ことができる。また、増幅回路 4 2 の増幅率が小さいため、ノイズ低減を安定して行うことができる。

なお、本発明の第 2 の実施の形態の電力変換装置の構成も、上述のものに限られない。

例えば、図 1 0 の電力変換装置における増幅回路 4 2 は、図 1 3 に示す構成を有していてもよい。図 1 3 に示す増幅回路 4 2 は、図 1 0 及び図 1 2 に示す構成に加え、更に、コンデンサ C 4 2 を備えている。コンデンサ C 4 2 の一端は、トランジスタ Q 1 1 のエミッタとトランジスタ Q 1 2 のエミッタとの接続点に接続されている。

増幅回路 4 2 は、零相変流器 4 1 の 1 次巻線 n 1 1 に流れる電流を増幅して得られる電流を、コンデンサ C 4 1 及び C 4 2 を介して並列に出力する。コンデンサ C 4 1 から出力される電流の大きさとコンデンサ C 4 2 から出力される電流の大きさとの比は、コンデンサ C 4 1 及び C 4 2 のインピーダンスの比によって決まる。また、コンデンサ C 4 1 及び C 4 2 のインピーダンスをそれぞれ r_1 及び r_2 とすると、増幅回路 4 2 の利得は、 $\{1 + (r_1 / r_2)\}$ となる。

図 1 3 の構成では、コンデンサ C 4 1 及び C 4 2 のインピーダンスの比を調整することにより増幅回路 4 2 の増幅率を容易に調整することができ、零相変流器 4 1 を含めた系全体の増幅率を正確に 1 にすることも容易である。

また、例えば、零相変流器 4 1 が 2 個の 2 次巻線を備えていてもよい。この場合、増幅回路は、例えば図 1 4 に示す構成を有していてもよい。

図 1 4 の増幅回路 4 2 は、ダイオード D 3 及び D 4 と、コンデンサ C 4 1、C 4 3 及び C 4 4 と、抵抗器 R 4 1 及び R 4 2 とを備えるほか、トランジスタ Q 1 1 及び Q 1 2 に代えて、PNP 形バイポーラトランジスタからなるトランジスタ Q 1 3 と、NPN 形バイポーラトランジスタからなるトランジスタ Q 1 4 とを備える。なお、零相変流器 4 1 は、第 1 の 2 次巻線 n 2 1 に加え、さらに第 2 の 2 次巻線 n 2 2 を備えているものとする。また、1 次巻線 n 1 1、2 次巻線 n 2 1 及び 2 次巻線 n 2 2 の巻数は互いに等しいものとする。

図 1 4 に示す構成においては、零相変流器 4 1 の 2 次巻線 n 2 1 の一端は定電圧回路 4

4の正極に接続され、2次巻線n 2 2の一端は定電圧回路4 4の負極に接続される。ただし、ラインE 1及びE 2に不平衡な電流が流れたとき（すなわち、仮想の1次巻線n 1 1に電流が流れたとみることができるとき）、2次巻線n 2 1の当該一端及び2次巻線n 2 2の当該一端には、互いに同極性の電圧が誘起されるものとする。また、トランジスタQ 1 3のエミッタは2次巻線n 2 1の他端に接続され、トランジスタQ 1 4のエミッタは2次巻線n 2 2の他端に接続され、トランジスタQ 1 3のコレクタとトランジスタQ 1 3のコレクタとが互いに接続される。また、ダイオードD 3のカソードはトランジスタQ 1 3のベースに接続され、アノードは定電圧回路4 4の正極に接続される。抵抗器R 4 1は、トランジスタQ 1 3のベース及びコレクタの間に接続される。コンデンサC 4 1は、トランジスタQ 1 3のコレクタとトランジスタQ 1 4のコレクタとの接続点に接続される。コンデンサC 4 3はダイオードD 3に並列に接続される。また、ダイオードD 4のアノードはトランジスタQ 1 4のベースに接続され、カソードは定電圧回路4 4の負極に接続される。抵抗器R 4 2は、トランジスタQ 1 4のコレクタ及びベースの間に接続される。コンデンサC 4 4は、ダイオードD 4に並列に接続される。

増幅回路4 2が図1 4に示す構成を有していれば、零相変流器4 1の2次巻線n 2 1及びn 2 2の電位が固定される。このため、零相変流器4 1とトランジスタQ 1 3あるいはQ 1 4との間の配線が長くなっても、ストレー容量の影響が少ない。

また、零相変流器4 1が2個の2次巻線を備えている場合、増幅回路4 2は、図1 4に示す構成に代えて、例えば図1 5に示す構成を有していてもよい。

図1 5の増幅回路4 2は、ダイオードD 3及びD 4と、コンデンサC 4 1、C 4 3及びC 4 4と、抵抗器R 4 1及びR 4 2とを備えるほか、トランジスタQ 1 3及びQ 1 4に代えて、NPN形バイポーラトランジスタからなるトランジスタQ 1 5及びQ 1 6を備える。

図1 5の構成では、定電圧回路4 4の正極にはトランジスタQ 1 5のコレクタが接続されている。定電圧回路4 4の負極には、2次巻線n 2 2の一端が接続されている。トランジスタQ 1 5のエミッタは零相変流器4 1の2次巻線n 2 1の一端に接続され、トランジ

スタQ 1 6のコレクタは、零相変流器4 1の2次巻線n 2 1の他端に接続され、トランジスタQ 1 6のエミッタは、零相変流器4 1の2次巻線n 2 2の他端に接続される。なお、図1 5に示す構成においても、ラインE 1及びE 2に不平衡な電流が流れたとき、2次巻線n 2 1の当該一端及び2次巻線n 2 2の当該一端には、互いに同極性の電圧が誘起されるものとする。また、図1 5の構成では、ダイオードD 3のアノードはトランジスタQ 1 5のベースに接続され、ダイオードD 3のカソードは2次巻線n 2 1の他端に接続されている。抵抗器R 4 1は、トランジスタQ 1 5のコレクタ及びベースの間に接続されている。コンデンサC 4 1の一端は、2次巻線n 2 1の他端に接続される。コンデンサC 4 3は、ダイオードD 3に並列に接続される。ダイオードD 4のアノードはトランジスタQ 1 6のベースに接続され、ダイオードD 4のカソードは、定電圧回路4 4の負極に接続される。抵抗器R 4 2は、トランジスタQ 1 6のコレクタ及びベースの間に接続される。コンデンサC 4 4は、ダイオードD 4に並列に接続される。

増幅回路4 2が図1 5に示すように構成されることにより、増幅回路4 2を構成する2個のトランジスタをいずれもNPN形バイポーラトランジスタとすることができる。

また、増幅回路4 2は、図1 5に示す構成に代えて、例えば図1 6に示す構成を有していてもよい。

図1 6の構成は、FET 1 1及びFET 1 2をさらに備えている点、抵抗器R 4 1に代えて、互いにカスケードに接続された抵抗器R 4 1 A及びR 4 1 Bを備えている点、及び、抵抗器R 4 2に代えて、互いにカスケードに接続された抵抗器R 4 2 A及びR 4 2 Bを備えている点を除き、図1 5の構成と実質的に同一である。FET 1 1及びFET 1 2は、それぞれ高耐圧のFETより構成されているものとする。

抵抗器R 4 1 Aの一端は定電圧回路4 4の正極に接続されており、抵抗器R 4 1 Aの他端は抵抗器R 4 1 Bの一端に接続されている。抵抗器R 4 1 Bの他端はトランジスタQ 1 5のベースに接続されている。抵抗器R 4 2 Aの一端は2次巻線n 2 1の上述の他端に接続されており、抵抗器R 4 2 Aの他端は抵抗器R 4 2 Bの一端に接続されている。抵抗器

R 4 2 B の他端はトランジスタ Q 1 6 のベースに接続されている。トランジスタ Q 1 5 のコレクタは、定電圧回路 4 4 の正極に接続される代わりに、F E T 1 1 のソース及びドレインを両端とする電流路の一端に接続される。F E T 1 1 の電流路の他端は、定電圧回路 4 4 の正極に接続される。F E T 1 1 のゲートは、抵抗器 R 4 1 A 及び R 4 1 B の接続点
5 に接続される。トランジスタ Q 1 6 のコレクタは、2 次巻線 n 2 1 の他端に接続される代わりに、F E T 1 2 のソース及びドレインを両端とする電流路の一端に接続される。F E T 1 2 の電流路の他端は、2 次巻線 n 2 1 の他端に接続される。F E T 1 2 のゲートは、抵抗器 R 4 2 A 及び R 4 2 B の接続点に接続される。図 1 6 の構成におけるコンデンサ C 4 1、C 4 3、C 4 4 及びダイオード D 3、D 4 の接続関係は、図 1 5 の構成における接
10 続関係と同一である。

増幅回路 4 2 が図 1 6 に示すように構成されている場合、仮に増幅回路 4 2 が図 1 5 の構成をとっていたならばトランジスタ Q 1 5 及び Q 1 6 にすべて印加されるべき電圧が、高耐圧の F E T 1 1 及び F E T 1 2 に分散されて印加される。このためトランジスタ Q 1 5 及び Q 1 6 が過電圧から保護され、増幅率が高い低耐圧のトランジスタであっても、ト
15 ランジスタ Q 1 5 及び Q 1 6 として使用することができる。また、一般に F E T のゲート電流は非常に少ないため、図 1 6 の構成では、増幅率をほぼ 1 としつつ、高電圧での使用が可能となる。

また、零相変流器 4 1 が 2 個の 2 次巻線を備えている場合、増幅回路 4 2 は、図 1 5 の構成に代えて、例えば図 1 7 に示す構成を有していてもよい。

20 図 1 7 の増幅回路 4 2 は、ダイオード D 3 及び D 4 と、コンデンサ C 4 1、C 4 3 及び C 4 4 と、抵抗器 R 4 1 及び R 4 2 とを備えるほか、トランジスタ Q 1 5 及び Q 1 6 に代えて、PNP 形バイポーラトランジスタからなるトランジスタ Q 1 7 及び Q 1 8 を備える。

図 1 7 の構成では、定電圧回路 4 4 の正極には 2 次巻線 n 2 1 の一端が接続され、定電圧回路 4 4 の負極にはトランジスタ Q 1 8 のコレクタが接続されている。トランジスタ Q
25 1 8 のエミッタは零相変流器 4 1 の 2 次巻線 n 2 2 の一端に接続され、トランジスタ Q 1

7のコレクタは、零相変流器41の2次巻線n22の他端に接続され、トランジスタQ17のエミッタは、零相変流器41の2次巻線n21の他端に接続される。また、図17の構成では、ダイオードD3のカソードはトランジスタQ17のベースに接続され、ダイオードD3のアノードは、定電圧回路44の正極に接続される。抵抗器R42は、トランジスタQ17のコレクタ及びベースの間に接続される。コンデンサC41の一端は、2次巻線n22の他端に接続される。コンデンサC43は、ダイオードD3に並列に接続される。ダイオードD4のカソードはトランジスタQ18のベースに接続され、ダイオードD4のアノードは2次巻線n22の他端に接続されている。抵抗器R42は、トランジスタQ18のコレクタ及びベースの間に接続されている。コンデンサC44は、ダイオードD4に並列に接続される。

増幅回路42が図17に示すように構成されることにより、増幅回路42を構成する2個のトランジスタをいずれもPNP形バイポーラトランジスタとすることができる。

また、図10あるいは図12の増幅回路42の構成を、例えば図18に示すように変形することにより、トランジスタQ11やQ12の電気的特性のばらつきに起因する中性点電圧のずれを少なくするようにしてもよい。図18に示す増幅回路42の構成は、ダイオードD3のカソードとダイオードD4のアノードとが、零相変流器41の2次巻線n21に接続されることなく互いに接続されている点を除き、図10又は図12の構成と実質的に同一である。

図18の構成においては、トランジスタQ11のエミッターベース間電圧と、トランジスタQ12のエミッターベース間電圧との間には、式(8)に示す関係あれば、補償電流が正常に生成される。

$$V_{eb1} + V_{eb2} = 2 \cdot V_d \quad \dots \dots \dots (8)$$

(但し、 V_{eb1} はトランジスタQ11のエミッターベース間電圧、 V_{eb2} はトランジスタQ12のエミッターベース間電圧)

従って、図18の構成においては、必ずしもトランジスタQ11のエミッターベース間

電圧及びトランジスタQ 1 2のエミッターベース間電圧がいずれも V_d に等しくなっている必要はなく、トランジスタQ 1 1のエミッターベース間電圧やトランジスタQ 1 2のエミッターベース間電圧が満たすべき条件は、図1 0あるいは図1 2の構成における条件よりも緩やかであるといえる。通常、NPNトランジスタとPNPトランジスタとでは、
 5 エミッターベース間電圧が僅かに異なるものの、増幅回路4 2が図1 8に示す構成をとれば、2つのエミッターベース間電圧のずれが中世点電圧に及ぼす影響を減少させることができる。

なお、図1 8に示す増幅回路4 2は、図1 8に示す構成に加え、図1 9に示すように、コンデンサC 4 2をさらに備えていてもよい。コンデンサC 4 2の一端は、図1 3の構成
 10 におけるコンデンサC 4 2と同様、トランジスタQ 1 1のエミッタとトランジスタQ 1 2のエミッタとの接続点に接続されている。図1 9の構成では、図1 3の構成と同様、コンデンサC 4 1及びC 4 2のインピーダンスの比を調整することにより増幅回路4 2の増幅率を容易に調整することができ、零相変流器4 1を含めた系全体の増幅率を正確に1にすることも容易である。

15 以上説明したように、本発明の第2の実施の形態の電力変換装置によれば、変流器の2次巻線に電圧を誘起させなくても、電流を流すことができるため、変流器の巻線の巻数を減らすことができ、変流器の磁芯のコア断積を低減することもでき、その結果、零相変流器を小型化することができる。

(第3の実施の形態)

20 次に、本発明の第3の実施の形態に係る電力変換装置を説明する。図2 0は、本発明の第3の実施の形態に係る電力変換装置の構成を示す図である。図示するように、この電力変換装置は、ノイズフィルタ部1と、整流平滑回路部2と、電力変換回路部3と、ノイズ低減回路部4と、補助電源5と、より構成されている。

図2 0のノイズフィルタ部1、整流平滑回路部2及び電力変換回路部3は、第2の実施
 25 の形態における図1 0のノイズフィルタ部1、整流平滑回路部2及び電力変換回路部3と

実質的に同一の構成を有している。ただし、図20のノイズフィルタ部1は、図1のノイズフィルタ部1と同様に、ラインE1と接地ラインとの間に接続されたコンデンサC14を備えている点で異なっている。また、図20の電力変換回路部3のトランスTは、3次巻線n3をさらに備えている点で図10の構成と異なっている。

- 5 図20の構成におけるノイズ低減回路部4は、零相変流器41と、増幅回路42と、を備える。

このうち、零相変流器41は、例えば図21に示す構成を有している。すなわち、零相変流器41は、例えば図示するように、円筒形状を有した磁芯100Aの孔に、ラインE1及びE2を、2次巻線n21とともに貫通させることによって構成される。従って、ラインE1、ラインE2及び2次巻線n21の巻数はいずれも1となり、また、仮想の1次巻線n11と2次巻線n21との巻数比も1であるとみなせる。図21の構成における磁芯100Aは、1次及び2次巻線n11、n21がともに巻数1であっても、ラインE1、E2の電流差によって飽和しない程度の透磁率及び断面積を有する材質から構成されていることが望ましい。磁芯100Aがこのような材質で構成されることによって、大電力用の電力変換装置にも、図21の零相変流器41を使用することが可能となる。

図21の零相変流器41の2次巻線n21の一端は、増幅回路42の後述するトランジスタQ11及びQ12の各エミッタに接続され、2次巻線n21の他端は、トランジスタQ11及びQ12の各ベースに接続されている。

次に、漏れ電流が補償電流によって相殺される原理を、図22に示す等価回路を参照して説明する。

尚、図22において、コンデンサC151は負荷R0の容量成分に相当し、コンデンサC152は、コモンモードノイズ用のコンデンサC13に相当する。また、ダイオードD151は整流回路21に相当し、スイッチSWはスイッチング素子Q1に相当する。増幅器AMPは増幅回路42に相当する。そして、漏れ電流Is1はスイッチSWのスイッチングにより交流電源ACVから流入する漏れ電流を示し、漏れ電流Is2は電力変換装置

内で伝播する漏れ電流を示す。

この電力変換装置は、零相変流器 4 1 が検出した漏れ電流を相殺するための補償電流 I_r を、零相変流器 4 1 が漏れ電流を検出する点よりも交流電源 ACV 側の接地ラインに近い点で、接地ラインに供給する。即ち、この電力変換装置は、零相変流器 4 1 により漏れ
5 電流 I_{s2} が図 2 2 に示す検出点 b で検出されたとした場合、補償電流 I_r を、例えば図 2 2 に示す注入点 a に注入する。

漏れ電流 I_{s1} が補償電流 I_r により相殺されるようにするため、このように構成された場合、増幅回路 AMP の増幅率 A_{42} は、次の関係式 (9) 及び (10) を満たすように設定されるものとする。

$$10 \quad i_{s1} - (A_{42} \cdot i_r) = 0 \quad \dots\dots\dots (9)$$

$$i_r = A_{42} \cdot i_{s2} \quad \dots\dots\dots (10)$$

この式が示すように、漏れ電流 I_{s1} を補償電流 I_r で相殺するためには、増幅回路 AMP の増幅率 A_{42} を 1 にすればよく、増幅率 A_{42} は低くてもよく、増幅回路の発振といった不都合は生じない。但し、増幅率が正確に 1 になるように増幅回路 4 2 を構成する
15 必要がある。増幅率が正確に 1 になるように、増幅回路 4 2 をオペアンプ等を用いて構成すると、増幅回路 4 2 の構成が複雑になる。本発明の第 3 の実施の形態では、図 2 0 に示すように、簡易な構成で増幅率が 1 となるように増幅回路 4 2 が構成されている。

増幅回路 4 2 は、トランジスタ Q 1 1 及び Q 1 2 と、コンデンサ C 4 1 とより構成されている。

20 トランジスタ Q 1 1 は、NPN 形バイポーラトランジスタからなる。トランジスタ Q 1 1 のエミッタは、零相変流器 4 1 の 2 次巻線 n 2 1 の一端に接続されており、トランジスタ Q 1 1 のコレクタは、補助電源 5 の後述する正極 (+) に接続されている。トランジスタ Q 1 2 は、PNP 形バイポーラトランジスタからなる。トランジスタ Q 1 2 のエミッタ
25 はトランジスタ Q 1 1 のエミッタに接続されており、トランジスタ Q 1 2 のコレクタは、補助電源 5 の負極 (-) に接続されている。トランジスタ Q 1 1 及び Q 1 2 の各エミッタ

は、上述の通り零相変流器 4 1 の 2 次巻線 n 2 1 の一端に接続され、トランジスタ Q 1 1 及び Q 1 2 の各ベースは、2 次巻線 n 2 1 の他端に接続されている。

コンデンサ C 4 1 は、補償電流を接地ラインに供給するためのコンデンサであり、トランジスタ Q 1 1 及び Q 1 2 の各ベースと、接地ラインとの間に接続されている。

- 5 補助電源 5 は、増幅回路 4 2 に定電圧を供給する直流電源回路である。補助電源 5 は、トランス T の 3 次巻線 n 3 と、ダイオード D 5 及び D 6 と、インダクタ L 3 と、コンデンサ C 5 1 と、より構成されており、正極 (+) 及び負極 (-) を備えている。

- 10 ダイオード D 5 及び D 6 は、3 次巻線 n 3 に発生した電圧に起因して流れる電流を整流するためのものである。ダイオード D 5 のアノードは 3 次巻線 n 3 の一端に接続され、ダイオード D 5 のカソードはインダクタ L 3 の一端に接続されている。ダイオード D 6 のカソードはダイオード D 5 のカソードに接続され、ダイオード D 6 のアノードは 3 次巻線 n 3 の他端に接続されている。

- 15 インダクタ L 3 及びコンデンサ C 5 1 は、ダイオード D 5 及び D 6 が整流した電流を平滑化する。インダクタ L 3 の一端はダイオード D 5 及び D 6 の各カソードに接続され、インダクタ L 3 の他端は、補助電源の正極 (+) に接続されている。

コンデンサ C 5 1 の一端はインダクタ L 3 の他端に接続され、コンデンサ C 5 1 の他端は 3 次巻線 n 3 の他端に接続されている。そして、3 次巻線 n 3 の他端は、補助電源 5 の負極 (-) にも接続される。

- 20 このように、補助電源 5 は、整流平滑回路部 2 からの影響を少なくするため、増幅回路 4 2 に供給する電力を、整流平滑回路部 2 以外の箇所から取り出すように構成されている。

次に、図 2 0 の電力変換装置の動作を、図 2 3 A ~ 図 2 3 F を参照して説明する。なお、以下では、電力変換回路部 3 の制御部がスイッチング素子 Q 1 の制御端に印加する信号 S 1 がハイレベルになるとスイッチング素子 Q 1 はオンし、信号 S 1 がローレベルになるとスイッチング素子 Q 1 はオフするものとする。

- 25 この場合において、電力変換回路部 3 の制御部が、スイッチング素子 Q 1 の制御端に、

図 2 3 A に示すような信号 S_1 を供給したとすると、図示する時刻 $t_0 \sim$ 時刻 t_1 がスイッチング素子 Q_1 のオン期間となり、時刻 $t_1 \sim$ 時刻 t_2 が、スイッチング素子 Q_1 のオフ期間となる。

オン期間において、図 2 3 B に示すように、スイッチング素子 Q_1 に印加される電圧 V_{q1} はほぼ 0 となり、スイッチング素子 Q_1 には、図 2 3 C に示すような強度の電流 I_{q1} が流れる。

一方、オフ期間においては、スイッチング素子 Q_1 に印加される電圧 V_{q1} は、図 2 3 B に示すように、コンデンサ C_{21} の充電電圧よりも高くなり、スイッチング素子 Q_1 に流れる電流 I_{q1} は、図 2 3 C に示すように、ほぼ 0 となる。

ダイオード D_1 は、スイッチング素子 Q_1 のオン期間に 2 次巻線 n_2 に発生した電圧に起因して流れる電流を整流する。ダイオード D_2 は、スイッチング素子 Q_1 のオフ期間に、チョークコイル L_2 に流れる電流をコンデンサ C_{31} や負荷 R_0 へと環流する。ダイオード D_1 又は D_2 を流れる電流は、チョークコイル L_2 とコンデンサ C_{31} とによって平滑化され、直流電圧が生成される。電力変換回路部 3 は、生成したこの直流電圧を負荷 R_0 に供給する。

一方、図 2 0 の電力変換装置では、スイッチング素子 Q_1 のスイッチングにより生じる漏れ電流 I_s は、浮遊容量 C_{32} などを経由して接地ラインに流れる。この漏れ電流 I_s は、例えば図 2 3 D に示すような強度を有する。そして、ライン E_1 及び E_2 に不平衡な電流が流れると、零相変流器 4 1 の 2 次巻線 n_{12} には誘起電流が流れる。1 次巻線 n_{11} と 2 次巻線 n_{21} との巻数比は 1 であるので、2 次巻線 n_{21} に流れる誘起電流の電流値は、1 次電流の電流値と同じ値になる。従って、例えば、ライン E_1 及び E_2 に流れる電流の差（すなわち、仮想の 1 次巻線 n_{11} に流れる電流） I_1 が図 2 4 A に示す波形を有しているとする、2 次巻線 n_{12} に流れる誘起電流の波形は、図 2 4 B に示す波形となる。

この誘起電流の正の半サイクルにおいては、この誘起電流が分流して、トランジスタ Q

11のベースにベース電流として流れ、トランジスタQ11のエミッタ及びベースの電位は上昇する。トランジスタQ11の増幅率は1よりも充分大きく、増幅回路42の増幅率が1となっているので、この結果、トランジスタQ11が、図24Cに示すような波形を有する、漏れ電流 I_s と同じ電流値の電流 I_{q11} を生成する。

- 5 一方、この誘起電流の負の半サイクルにおいては、トランジスタQ12が、正の半サイクルにおけるトランジスタQ11と同様に動作し、図24Dに示すような波形を有する、漏れ電流 I_s と同じ電流値の電流 I_{q12} を生成する。

図20の増幅回路42は、トランジスタQ11の上述の動作と、トランジスタQ12の上述の動作との組み合わせにより、例えば図23Eあるいは図24Eに示すような強度の補償電流 I_r を生成する。

そして、図20の増幅回路42は、この補償電流 I_r を、漏れ電流 I_s とは逆向きになるようにコンデンサC41を介して接地ラインに供給する。この結果、例えば図23Fに示すように、漏れ電流 I_s が減少する。

従って、図20の電力変換装置もコモンモードノイズを低減できる。また、図20の構成においては、零相変流器41の磁芯100Aの形状を円筒形として、1対の1次巻線をなすラインE1及びE2と、2次巻線n21とを、磁芯100Aの穴に貫通させるようにした。従って、零相変流器41の構造が簡易となり、零相変流器41を小型化することができる。

また、零相変流器41の各巻線の巻数はいずれも1であり、磁芯100Aに巻き付けられていない。大電力用の電力線のように径が大きい導線を零相変流器41の巻線とする場合であっても、磁芯100Aに巻き付けることなく単に磁芯100Aの穴に通すことは容易である。従って、大電流の変換を行う電力変換装置にも、この零相変流器41を用いることができる。

また、この電力変換装置でも、電力変換装置内で伝播する漏れ電流を零相変流器41が検出し、この漏れ電流を相殺するための補償電流を生成して、接地ラインのうち、零相変

流器 4 1 が漏れ電流を検出する点よりも交流電源 A C V 側の部分に、この補償電流を供給している。従って、増幅回路 4 2 の利得を小さくすることができ、発振の危険性が小さくなり、ノイズの低減を安定して行うようになる。また、増幅回路 4 2 を含む回路全体の利得を 1 とすることにより回路の周波数特性が向上し、高周波領域までノイズを低減することができ、増幅回路 4 2 を簡易な回路で構成することも容易にできるようになる。

また、効率的に漏れ電流を低減することができるので、ノイズフィルタ部 1 は高性能であることを必要としない。従って、一般的に大型化する傾向のある高性能ノイズフィルタを用いずに済ませることにより、電力変換装置全体を小型化することができる。

なお、本発明の第 3 の実施の形態の電力変換装置の構成も上述のものに限られない。

例えば、磁芯 1 0 0 A の形状は、円筒形に限られるものではなく、例えば軸に垂直な断面の形状が任意の多角形をとる筒形であってもよい。また、例えば図 2 5 に示すように、半円筒形の 2 個の割コア 1 0 0 C 及び 1 0 0 D を用い、割コア 1 0 0 C 及び 1 0 0 D の端面同士を接触させることによって磁芯 1 0 0 A を構成するようにしてもよい。磁芯 1 0 0 A がこのように割コア 1 0 0 C 及び 1 0 0 D へと分解できる形状を有していれば、磁芯 1 0 0 A を割コア 1 0 0 C 及び 1 0 0 D へと分解してから再び組み合わせることにより、ライン E 1、ライン E 2 あるいは 2 次巻線 n 2 1 を切断することなく、ライン E 1、ライン E 2 及び 2 次巻線 n 2 1 を磁芯 1 0 0 A に貫通させることができる。

また、本実施の形態における零相変流器 4 1 が図 1 あるいは図 2 A ~ 図 2 C に示す構成を有していてもよい。

また、本発明の第 3 の実施の形態の電力変換装置においても、零相変流器 4 1 は 2 個の 2 次巻線を備えていてもよい。この場合、増幅回路 4 2 は、例えば図 2 6 に示す構成を有していればよい。

図 2 6 の増幅回路 4 2 は、コンデンサ C 4 1 を備えるほか、N P N 形バイポーラトランジスタからなるトランジスタ Q 1 3 及びトランジスタ Q 1 4 を備える。なお、零相変流器 4 1 は、第 1 の 2 次巻線 n 2 1 に加え、さらに第 2 の 2 次巻線 n 2 2 を備えているものと

する。

図 2 6 に示す構成においては、零相変流器 4 1 の 2 次巻線 n 2 1 の一端はトランジスタ Q 1 3 のエミッタに接続され、2 次巻線 n 2 1 の他端はトランジスタ Q 1 3 のベースに接続されている。また、2 次巻線 n 2 2 の一端はトランジスタ Q 1 4 のベースに接続され、
 5 2 次巻線 n 2 2 の他端はトランジスタ Q 1 4 のエミッタに接続されている。ただし、ライン E 1 及び E 2 に不平衡な電流が流れたとき（すなわち、仮想の 1 次巻線 n 1 1 に電流が流れたとみることができるとき）、2 次巻線 n 2 1 の当該一端及び 2 次巻線 n 2 2 の当該一端には、互いに同極性の電圧が誘起されるものとする。また、トランジスタ Q 1 3 のコレクタは補助電源 5 の正極に接続され、トランジスタ Q 1 4 のベースは補助電源 5 の負極
 10 に接続される。また、トランジスタ Q 1 3 のベースは、トランジスタ Q 1 4 のコレクタと、コンデンサ C 4 1 の一端とに接続されている。なお、コンデンサ C 4 1 の他端は、例えば図 2 0 に示すように接地ライン S 2 に接続されている。

また、零相変流器 4 1 が 2 個の 2 次巻線 n 2 1 及び n 2 2 を備えている場合、第 3 の実施の形態における増幅回路 4 2 は、図 2 7 に示す構成を有していてもよい。図 2 7 の増幅
 15 回路 4 2 は、コンデンサ C 4 1 を備えるほか、PNP 形バイポーラトランジスタからなるトランジスタ Q 1 5 と、NPN 形バイポーラトランジスタからなるトランジスタ Q 1 6 とを備える。

図 2 7 に示す構成においては、2 次巻線 n 2 1 の一端はトランジスタ Q 1 5 のベースに接続され、2 次巻線 n 2 1 の他端はトランジスタ Q 1 5 のエミッタに接続されている。また、
 20 2 次巻線 n 2 2 の一端はトランジスタ Q 1 6 のベースに接続され、2 次巻線 n 2 2 の他端はトランジスタ Q 1 6 のエミッタに接続されている。ただし、ライン E 1 及び E 2 に不平衡な電流が流れたとき、2 次巻線 n 2 1 の当該一端及び 2 次巻線 n 2 2 の当該一端には、互いに同極性の電圧が誘起されるものとする。また、トランジスタ Q 1 5 のベースは補助電源 5 の正極に接続され、トランジスタ Q 1 6 のベースは補助電源 5 の負極に接続さ
 25 れる。また、トランジスタ Q 1 5 のコレクタは、トランジスタ Q 1 6 のコレクタと、コン

デンサC 4 1の一端とに接続されている。なお、コンデンサC 4 1の他端は、例えば図20に示すように接地ラインS 2に接続されている。

また、零相変流器4 1が2個の2次巻線n 2 1及びn 2 2を備えている場合、第3の実施の形態における増幅回路4 2は、図28に示す構成を有していてもよい。図28の増幅回路4 2は、コンデンサC 4 1を備えるほか、PNP形バイポーラトランジスタからなるトランジスタQ 1 7及びQ 1 8を備える。

図28に示す構成においては、2次巻線n 2 1の一端はトランジスタQ 1 7のベースに接続され、2次巻線n 2 1の他端はトランジスタQ 1 7のエミッタに接続されている。また、2次巻線n 2 2の一端はトランジスタQ 1 8のエミッタに接続され、2次巻線n 2 2の他端はトランジスタQ 1 8のベースに接続されている。ただし、ラインE 1及びE 2に不平衡な電流が流れたとき、2次巻線n 2 1の当該一端及び2次巻線n 2 2の当該一端には、互いに同極性の電圧が誘起されるものとする。また、トランジスタQ 1 7のベースは補助電源5の正極に接続され、トランジスタQ 1 8のコレクタは補助電源5の負極に接続される。また、トランジスタQ 1 7のコレクタは、トランジスタQ 1 8のベースと、コンデンサC 4 1の一端とに接続されている。なお、コンデンサC 4 1の他端は、例えば図20に示すように接地ラインS 2に接続されている。

また、図20の構成の増幅回路4 2は、図29に示すように、トランジスタQ 1 1及びトランジスタQ 1 2に代えて、nチャネルMOS (Metal-Oxide-Semiconductor) FETからなるFET 1 1と、pチャネルMOS FETからなるFET 1 2とを備えるようにしてもよい。この場合、図20の構成においてトランジスタQ 1 1のエミッタが接続されるべき点にはFET 1 1のソースを、トランジスタQ 1 1のコレクタが接続されるべき点にはFET 1 1のドレインを、トランジスタQ 1 1のベースが接続されるべき点にはFET 1 1のゲートを、それぞれ接続すればよい。また、図20の構成においてトランジスタQ 1 2のエミッタが接続されるべき点にはFET 1 2のソースを、トランジスタQ 1 2のコレクタが接続されるべき点にはFET 1 2のドレインを、トランジスタQ 1 2のベースが接

続されるべき点にはFET12のゲートを、それぞれ接続すればよい。

また、図26の構成の増幅回路42も、図30に示すように、トランジスタQ13及びトランジスタQ14に代えて、nチャネルMOSFETからなるFET13及びFET14を備えるようにしてもよい。

- 5 この場合、図26の構成においてトランジスタQ13のエミッタが接続されるべき点にはFET13のソースを、トランジスタQ13のコレクタが接続されるべき点にはFET13のドレインを、トランジスタQ13のベースが接続されるべき点にはFET13のゲートを、それぞれ接続すればよい。また、図26の構成においてトランジスタQ14のエミッタが接続されるべき点にはFET14のソースを、トランジスタQ14のコレクタが
- 10 接続されるべき点にはFET14のドレインを、トランジスタQ14のベースが接続されるべき点にはFET14のゲートを、それぞれ接続すればよい。

また、図27の構成の増幅回路42は、図31に示すように、トランジスタQ15及びトランジスタQ16に代えて、pチャネルMOSFETからなるFET15及びnチャネルMOSFETからなるFET16を備えるようにしてもよい。

- 15 この場合、図27の構成においてトランジスタQ15のエミッタが接続されるべき点にはFET15のソースを、トランジスタQ15のコレクタが接続されるべき点にはFET15のドレインを、トランジスタQ15のベースが接続されるべき点にはFET15のゲートを、それぞれ接続すればよい。また、図27の構成においてトランジスタQ16のエミッタが接続されるべき点にはFET16のソースを、トランジスタQ16のコレクタが
- 20 接続されるべき点にはFET16のドレインを、トランジスタQ16のベースが接続されるべき点にはFET16のゲートを、それぞれ接続すればよい。

また、図28の構成の増幅回路42は、図32に示すように、トランジスタQ17及びトランジスタQ18に代えて、pチャネルMOSFETからなるFET17及びFET18を備えるようにしてもよい。

- 25 この場合、図28の構成においてトランジスタQ17のエミッタが接続されるべき点に

はFET17のソースを、トランジスタQ17のコレクタが接続されるべき点にはFET17のドレインを、トランジスタQ17のベースが接続されるべき点にはFET17のゲートを、それぞれ接続すればよい。また、図28の構成においてトランジスタQ18のエミッタが接続されるべき点にはFET18のソースを、トランジスタQ18のコレクタが接続されるべき点にはFET18のドレインを、トランジスタQ18のベースが接続されるべき点にはFET18のゲートを、それぞれ接続すればよい。

また、図20の構成の電力変換装置では、図33にブロック図を示すように、交流電源ACVから供給される交流電流が流れる交流ラインに、増幅回路42が補償電流を供給するようにしている。しかし、図34に示すように、増幅回路42は、整流平滑回路部2から供給される直流電流が流れる直流ラインに、補償電流を供給するようにしてもよい。

また、増幅回路42は、直流ラインのうち零相変流器41より出力側（負荷R0に近い側）の点に補償電流を供給するようにしてもよい。

（第4の実施形態）

次に、本発明の第4の実施の形態に係る電力変換装置を説明する。図35は、本発明の第4の実施の形態に係る電力変換装置の構成を示す図である。図示するように、この電力変換装置の構成は、増幅回路42が、図1に示す第1の実施の形態における増幅回路42の構成と実質的に同一の構成を有している点を除き、図20に示す第3の実施の形態の電力変換装置と実質的に同一である。ただし、コンデンサC41及びC42の、接地ラインに接続される方の各端は、接地ラインのうち、零相変流器41が漏れ電流を検出する点よりも交流電源ACV側の部分に接続されるものとする。そして、補助電源5の正極はトランジスタQ11及びQ13の各コレクタに接続され、補助電源5の負極はトランジスタQ12及びQ14の各コレクタに接続されるものとする。なお、第1の実施の形態の説明において図3を参照して上述した通り、トランジスタQ11及びQ12は主増幅器42Aを構成し、トランジスタQ13及びQ14は補正増幅器42Bを構成する。

第4の実施の形態に係る電力変換装置は、零相変流器41の検出比（感度）に変化が生

じた場合でも、利得を調整して、この変化による影響を低減できるように構成されたものである。

図 3 5 の構成においては、零相変流器 4 1 の検出比に変化が生じた場合、コンデンサ C 4 1 及び C 4 2 のインピーダンスの比を変えて増幅回路 4 2 の利得を調整することにより、零相変流器 4 1 と増幅回路 4 2 との総合利得を 1 にすることができる。

本発明の第 4 の実施の形態に係る電力変換装置の構成も上述のものに限られない。

例えば、図 3 5 の構成においては、増幅回路 4 2 が、図 6 に示す構成と実質的に同一の構成を有していてもよい。このような構成を有することにより、主増幅器 4 2 A が補正増幅器 4 2 B を兼用する。そして、主増幅器 4 2 A が補正増幅器 4 2 B を兼用することにより、新たな増幅器を備えずに増幅回路 4 2 の利得を調整することができる。

また、図 3 5 の構成においては、増幅回路 4 2 が、図 8 又は図 9 に示す構成と実質的に同一の構成を有していてもよい。このような構成を有していれば、ゲート電流がほぼ零となる電界効果トランジスタを用いて増幅回路 4 2 が構成されている結果、バイポーラトランジスタを用いた場合より増幅回路 4 2 が高性能となることが期待できる。また、増幅回路 4 2 が、図 9 に示す構成を有している場合は、主増幅器 4 2 A が補正増幅器 4 2 B を兼用することにより、新たな増幅器を備えずに増幅回路 4 2 の利得を調整することができる。

(第 5 の実施形態)

次に、本発明の第 5 の実施の形態に係る電力変換装置を説明する。図 3 6 は、本発明の第 5 の実施の形態に係る電力変換装置の構成を示す図である。図示するように、この電力変換装置の構成は、増幅回路 4 2 が、図 1 0 に示す第 2 の実施の形態における増幅回路 4 2 の構成と実質的に同一の構成を有している点を除き、図 2 0 に示す第 3 の実施の形態の電力変換装置と実質的に同一である。ただし、コンデンサ C 4 1 の、接地ラインに接続される方の端は、接地ラインのうち、零相変流器 4 1 が漏れ電流を検出する点よりも交流電源 A C V 側の部分に接続されるものとする。そして、補助電源 5 の正極はトランジスタ Q 1 1 のコレクタに接続され、補助電源 5 の負極はトランジスタ Q 1 2 のコレクタに接続さ

れるものとする。

このような構成を有していれば、零相変流器 4 1 の 2 次巻線 n 2 1 に大きな電圧を誘起させなくても所望の量の補償電流を発生させることができる。このため、1 次巻線 n 1 1、2 次巻線 n 2 1 の巻数を減らすことができ、また、磁芯 1 0 0 A あるいは 4 1 A のコア面積を低減することもでき、結果として、零相変流器 4 1 を小型化することができる。また、抵抗器 R 4 1、R 4 2 により、増幅回路 4 2 の中性点を、増幅回路 4 2 に印加される入力電圧の $1/2$ に設定することができる。このため、トランジスタ Q 1 1 及び Q 1 2 の中性点の電圧が安定する。また、増幅回路 4 2 が補償電流を正常に制御できる入力電圧の範囲も広い。また、零相変流器 4 1 を含めた増幅回路 4 2 の増幅率を正確に 1 に設定することが容易である。

本発明の第 5 の実施の形態に係る電力変換装置の構成も上述のものに限られない。

例えば、図 3 6 の構成においては、増幅回路 4 2 が図 1 3 に示す構成と実質的に同一の構成を有していてもよい。(ただし、以下述べる第 5 の実施の形態の各変形例においては、定電圧回路 4 4 の正極が接続されるべき点には補助電源 5 の正極が接続され、定電圧回路 4 4 の負極が接続されるべき点には補助電源 5 の負極が接続されるものとする。) このような構成を有していれば、コンデンサ C 4 1 及び C 4 2 のインピーダンスの比を調整することにより増幅回路 4 2 の増幅率を容易に調整することができ、零相変流器 4 1 を含めた系全体の増幅率を正確に 1 にすることも容易である。

また、本発明の第 5 の実施の形態の電力変換装置においても、零相変流器 4 1 は 2 個の 2 次巻線を備えていてもよい。この場合、この電力変換装置は、図 3 6 の構成における増幅回路 4 2 を図 1 4 に示すものと置き換えた構成をとってもよい。このような構成を有していれば、零相変流器 4 1 の 2 次巻線 n 2 1 及び n 2 2 の電位が固定されるため、零相変流器 4 1 とトランジスタ Q 1 3 あるいは Q 1 4 との間の配線が長くなっても、ストレー容量の影響が少ない。

また、零相変流器 4 1 が 2 個の 2 次巻線を備えている場合、本発明の第 5 の実施の形態

の電力変換装置は、図 3 6 の構成における増幅回路 4 2 を図 1 5 に示すものと置き換えた構成をとってもよい。このような構成を有していれば、本発明の第 5 の実施の形態においても、増幅回路 4 2 を構成する 2 個のトランジスタをいずれも NPN 形バイポーラトランジスタとすることができる。

- 5 また、零相変流器 4 1 が 2 個の 2 次巻線を備えている場合、本発明の第 5 の実施の形態の電力変換装置は、図 3 6 の構成における増幅回路 4 2 を図 1 6 に示すものと置き換えた構成をとってもよい。このような構成を有していれば、増幅回路 4 2 が図 1 5 の構成をとっている場合に比べ、トランジスタ Q 1 5 及び Q 1 6 が過電圧から保護されるので、増幅率が高い低耐圧のトランジスタであっても、トランジスタ Q 1 5 及び Q 1 6 として使用する
10 ことができる。また、高電圧での使用も可能となる。

- また、零相変流器 4 1 が 2 個の 2 次巻線を備えている場合、本発明の第 5 の実施の形態の電力変換装置は、図 3 6 の構成における増幅回路 4 2 を図 1 7 に示すものと置き換えた構成をとってもよい。このような構成を有していれば、本発明の第 5 の実施の形態においても、増幅回路 4 2 を構成する 2 個のトランジスタをいずれも PNP 形バイポーラトラン
15 ジスタとすることができる。

 また、図 3 6 の構成においては、増幅回路 4 2 が図 1 8 に示す構成と実質的に同一の構成を有していてもよい。このような構成を有していれば、増幅回路 4 2 のトランジスタ Q 1 1 のエミッターベース間電圧とトランジスタ Q 1 2 のエミッターベース間電圧との間のずれの影響が減少する。

- 20 また、図 3 6 の構成においては、増幅回路 4 2 が図 1 9 に示す構成と実質的に同一の構成を有していてもよい。このような構成を有する電力変換装置は、図 3 6 の構成において増幅回路 4 2 を図 1 8 に示すものに置き換えたものが有する上述の利点に加え、コンデンサ C 4 1 及び C 4 2 のインピーダンスの比を調整することにより増幅回路 4 2 の増幅率を容易に調整することができ、零相変流器 4 1 を含めた系全体の増幅率を正確に 1 にする
25 ことが容易になる、という利点を有する。

(第6の実施の形態)

次に、本発明の第6の実施の形態に係る電力変換装置を説明する。図37は、本発明の第6の実施の形態に係る電力変換装置の構成を示す図である。図示するように、この電力変換装置は、ノイズフィルタ部1と、整流平滑回路部2と、電力変換回路部3と、ノイズ低減回路部4と、制御回路8と、制御回路用電源9と、より構成されており、三相モータ7に電力を供給するものである。

この電力変換装置のノイズフィルタ部1は、例えば図20に示す構成と実質的に同一の構成を有していればよい。あるいは図37に示すように、図20に示す構成からコンデンサC12を除いた構成をとっていてもよい。

10 整流平滑回路部2は、図20に示す構成と実質的に同一の構成を有していればよく、例えば図37に示すように、4個のダイオードD61～D64からなるブリッジ型整流回路と、平滑用のコンデンサC21とより構成されていけばよい。なお、図37の構成では、ダイオードD61及びD62の各カソードが互いに接続されて整流回路21の正極(+)をなし、ダイオードD63及びD64の各アノードが互いに接続されて整流回路21の負極(-)をなす。

電力変換回路部3は、例えば、トランジスタQ61～Q66より構成されている。トランジスタQ61～Q66は例えばnチャネルFETより構成されており、トランジスタQ61、Q63及びQ65の各ドレインは整流平滑回路部2の正極に接続され、トランジスタQ62、Q64及びQ66の各ソースは整流平滑回路部2の負極に接続されている。トランジスタQ61のソースとトランジスタQ62のドレインは互いに接続されている。トランジスタQ63のソースとトランジスタQ64のドレインは互いに接続されている。トランジスタQ65のソースとトランジスタQ66のドレインは互いに接続されている。また、トランジスタQ61～Q66の各ゲートは、マイクロコンピュータ等からなる制御回路8に接続されている。

25 電力変換回路部3は、制御回路8がトランジスタQ61～Q66の各ゲートに供給する

制御信号に従って、3個1組のノード、すなわち、トランジスタQ61のソースとトランジスタQ62との接続点、トランジスタQ63のソースとトランジスタQ64との接続点、及び、トランジスタQ65のソースとトランジスタQ66との接続点から、三相モータ7へと三相交流電力を供給する。

5 ノイズ低減回路部4は、例えば図37に示すように、図20における構成と実質的に同一の構成を有していればよく、あるいはその他、本発明の第3～第5の実施の形態における各構成のいずれかをとりていけばよい。ただし、本発明の第6の実施の形態のノイズ低減回路は、本発明の第3～第5の実施の形態においては補助電源5から供給を受けている駆動用の電力を、制御回路用電源9より供給されるものとする。

10 制御回路用電源9は、ノイズ低減回路部4及び制御回路8に、駆動用の電力を供給する。なお、制御回路用電源9は、整流平滑回路部2より電力の供給を受けないものとする。

 以上説明した本発明の各実施の形態においては、増幅回路42を構成する各トランジスタ及び各ダイオードの温度がほぼ同一になるように、これらのトランジスタやダイオードを互いに近づけて配置するようにしてもよい。このように配置すれば、トランジスタの温度変化により当該トランジスタのベース－エミッタ間電圧が変動しても、ダイオードの順方向電圧も同じように変動するため、増幅回路42の動作が安定する。さらには、これらのトランジスタやダイオードとを同一のチップ内に形成してもよく、このようにすることにより、これらのトランジスタやダイオードの温度とをより厳密に一致させることができる。

20 また、上述の各実施の形態の説明では、各電力変換装置を構成するトランジスタを単体の素子として説明した。しかし、これらのトランジスタは、それぞれ、単体の素子の代わりに、例えば、ダーリントン接続されたトランジスタ回路より構成されていてもよい。

 また、上述の各実施の形態では、交流電源ACVを単相の電源として説明した。しかし、交流電源ACVは、単相の電源でなくともよく、例えば三相交流電源であってもよい。交流電源ACVが三相交流電源である場合は、磁芯21Aに、3本の電力線を1次巻線とし

て巻き回したり、あるいは磁芯 100A の孔に、3 本の電力線を 1 次巻線として貫通させるようにすればよい。

以上、本発明の実施の形態を説明した。しかし、本発明を実施するにあたっては、種々の形態が考えられ、上記実施の形態に限られるものではない。

- 5 2002 年 2 月 26 日に日本国特許庁に出願された特願 2002-49302 の内容、
2002 年 2 月 26 日に日本国特許庁に出願された特願 2002-49307 の内容、及
び、2003 年 10 月 17 日に日本国特許庁に出願された特願 2003-358462 の
内容は、参照のため、この明細書に取り込むものとする。

請求の範囲

1. 1次巻線と2次巻線とを有する変流器の2次巻線に接続される増幅回路であって、
前記変流器の2次巻線に流れる電流を増幅し、増幅した電流を第1のインピーダンス素子を介して出力する電流増幅部と、

5 前記電流増幅部により前記第1のインピーダンス素子に印加される電圧により決まる電圧を発生して第2のインピーダンス素子に印加することにより、該第2のインピーダンス素子から電流を出力するバッファ増幅部と、を備え、

前記変流器の1次巻線に流れる電流を増幅したものに相当する電流が、前記第1のインピーダンス素子と第2のインピーダンス素子とのインピーダンスの比により決まる比率
10 で、前記第1のインピーダンス素子と第2のインピーダンス素子とからそれぞれ出力されるように構成された、

ことを特徴とする増幅回路。

2. 前記バッファ増幅部は、前記第1のインピーダンス素子の電圧を電圧増幅して前記
15 第2のインピーダンス素子に印加する電圧増幅回路を備える、

ことを特徴とする請求項1に記載の増幅回路。

3. 前記電流増幅部は、前記第1のインピーダンス素子の電圧を増幅して前記第2のインピーダンス素子に印加し、前記バッファ増幅部の少なくとも一部を兼ねる、

20 ことを特徴とする請求項1に記載の増幅回路。

4. 前記電流増幅部は、

コレクタが直流電源の正極に接続され、エミッタが前記変流器の2次巻線の一端に接続され、ベースが前記変流器の2次巻線の他端に接続された第1のNPN形バイポーラトランジスタと、
25

コレクタが前記直流電源の負極に接続され、エミッタが前記第 1 の NPN バイポーラトランジスタのエミッタに接続され、ベースが前記第 1 の NPN バイポーラトランジスタのベースに接続された第 1 の PNP 形バイポーラトランジスタと、

を備えて構成され、

5 前記バッファ増幅部は、

コレクタが前記直流電源の正極と前記第 1 の NPN 形バイポーラトランジスタのコレクタとに接続され、ベースが前記第 1 の NPN 形バイポーラトランジスタのベースに接続された第 2 の NPN 形バイポーラトランジスタと、

コレクタが前記直流電源の負極と前記第 1 の PNP 形バイポーラトランジスタのコレクタとに接続され、エミッタが前記第 2 の NPN 形バイポーラトランジスタのエミッタに接続され、ベースが前記第 1 の PNP 形バイポーラトランジスタのベースに接続された第 2 の PNP 形バイポーラトランジスタと、

を備えて構成され、

前記第 1 のインピーダンス素子の一端が前記第 1 の NPN 形バイポーラトランジスタのベースと前記第 1 の PNP 形バイポーラトランジスタのベースとの接続点に接続され、

前記第 2 のインピーダンス素子の一端が前記第 2 の NPN 形バイポーラトランジスタのエミッタと前記第 2 の PNP 形バイポーラトランジスタのエミッタとの接続点に接続された、

ことを特徴とする請求項 2 に記載の増幅回路。

20

5. 前記電流増幅部は、

コレクタが直流電源の正極に接続され、エミッタが前記変流器の 2 次巻線の一端に接続され、ベースが前記変流器の 2 次巻線他端に接続された NPN 形バイポーラトランジスタと、

25 コレクタが前記直流電源の負極に接続され、エミッタが前記 NPN 形バイポーラトラン

ジスタのエミッタに接続され、ベースが前記NPN形バイポーラトランジスタのベースに接続されたPNP形バイポーラトランジスタと、

を備えて構成され、

- 前記第1のインピーダンス素子の一端が前記NPN形バイポーラトランジスタのベースと前記PNP形バイポーラトランジスタのベースとの接続点に接続され、

前記第2のインピーダンス素子の一端が前記NPN形バイポーラトランジスタのエミッタと前記PNP形バイポーラトランジスタのエミッタとの接続点に接続された、

ことを特徴とする請求項3に記載の増幅回路。

- 10 6. 前記電流増幅部は、

ドレインが直流電源の正極に接続され、ソースが前記変流器の2次巻線の一端に接続され、ゲートが前記変流器の2次巻線の他端に接続された第1のN形電界効果トランジスタと、

- ドレインが前記直流電源の負極に接続され、ソースが前記第1のN形電界効果トランジスタのソースに接続され、ゲートが前記第1のN形電界効果トランジスタのゲートに接続された第1のP形電界効果トランジスタと、

を備えて構成され、

前記バッファ増幅部は、

- ドレインが前記直流電源の正極と前記第1のN形電界効果トランジスタのドレインとに接続され、ゲートが前記第1のN形電界効果トランジスタのゲートに接続された第2のN形電界効果トランジスタと、

ドレインが前記直流電源の負極と前記第1のP形電界効果トランジスタのドレインとに接続され、ソースが前記第2のN形電界効果トランジスタのソースに接続され、ゲートが前記第1のP形電界効果トランジスタのゲートに接続された第2のP形電界効果トランジスタと、

- 25

を備えて構成され、

前記第 1 のインピーダンス素子の一端が前記第 1 の N 形電界効果トランジスタのゲートと前記第 1 の P 形電界効果トランジスタのゲートとの接続点に接続され、

前記第 2 のインピーダンス素子の一端が前記第 2 の N 形電界効果トランジスタのソースと前記第 2 の P 形電界効果トランジスタのソースとの接続点に接続された、

ことを特徴とする請求項 2 に記載の増幅回路。

7. 前記電流増幅部は、

ドレインが直流電源の正極に接続され、ソースが前記変流器の 2 次巻線の一端に接続され、ゲートが前記変流器の 2 次巻線他端に接続された N 形電界効果トランジスタと、

ドレインが前記直流電源の負極に接続され、ソースが前記 N 形電界効果トランジスタのソースに接続され、ゲートが前記 N 形電界効果トランジスタのゲートに接続された P 形電界効果トランジスタと、

を備えて構成され、

前記第 1 のインピーダンス素子の一端が前記 N 形電界効果トランジスタのゲートと前記 P 形電界効果トランジスタのゲートとの接続点に接続され、

前記第 2 のインピーダンス素子の一端が前記 N 形電界効果トランジスタのソースと前記 P 形電界効果トランジスタのソースとの接続点に接続された、

ことを特徴とする請求項 3 に記載の増幅回路。

8. 前記第 1 のインピーダンス素子及び第 2 のインピーダンス素子は、それぞれ、コンデンサによって構成されたものである、

ことを特徴とする請求項 1 に記載の増幅回路。

9. エミッタが、1 次巻線と 2 次巻線とを有する変流器の 2 次巻線の一端に接続され、

コレクタが直流電源の正極に接続され、コレクタとベースとの間に第1の抵抗が接続されたNPN形バイポーラトランジスタと、

前記NPN形バイポーラトランジスタのベースと前記変流器の2次巻線他端との間に接続されて、前記NPN形バイポーラトランジスタのベース-エミッタ間電圧に相当する電圧降下を発生させる第1の電圧降下素子と、

エミッタが前記変流器の2次巻線の一端に接続され、コレクタが前記直流電源の負極に接続され、コレクタとベースとの間に第2の抵抗が接続されたPNP形バイポーラトランジスタと、

前記PNP形バイポーラトランジスタのベースと前記変流器の2次巻線他端との間に接続されて、前記PNP形バイポーラトランジスタのエミッター-ベース間電圧に相当する電圧降下を発生させる第2の電圧降下素子と、

前記第1の電圧降下素子と前記第2の電圧降下素子との接続点に一端が接続された電流供給用コンデンサと、

を備え、

前記変流器の1次巻線に流れる電流を増幅し、増幅した電流が、前記電流供給用コンデンサを介して出力されるように構成された、

ことを特徴とする増幅回路。

10. 前記NPN形バイポーラトランジスタのエミッタと前記PNP形バイポーラトランジスタのエミッタとの接続点に一端が接続された利得補正用コンデンサをさらに備え、

前記変流器の1次巻線に流れる電流を増幅し、増幅した電流が、前記電流供給用コンデンサと利得補正用コンデンサとのインピーダンスの比により決まる比率で、前記電流供給用コンデンサと利得補正用コンデンサとからそれぞれ出力されるように構成された、

ことを特徴とする請求項9に記載の増幅回路。

11. エミッタが、1次巻線と第1、第2の2次巻線とを有する変流器の第1の2次巻線の一端に接続され、コレクタとベースとの間に第1の抵抗が接続されたPNP形バイポーラトランジスタと、

5 前記PNP形バイポーラトランジスタのベースと前記変流器の第1の2次巻線の間との間に接続されて、前記PNP形バイポーラトランジスタのエミッターベース間電圧に相当する電圧降下を発生させる第1の電圧降下素子と、

エミッタが前記変流器の第2の2次巻線の一端に接続され、コレクタが前記PNP形バイポーラトランジスタのコレクタに接続され、コレクタとベースとの間に第2の抵抗が接続されたNPN形バイポーラトランジスタと、

10 前記NPN形バイポーラトランジスタのベースと前記変流器の第2の2次巻線の間との間に接続されて、前記NPN形バイポーラトランジスタのベース-エミッタ間電圧に相当する電圧降下を発生させる第2の電圧降下素子と、

前記PNP形バイポーラトランジスタのコレクタと前記NPN形バイポーラトランジスタのコレクタとの接続点に一端が接続された電流供給用コンデンサと、

15 を備え、

前記変流器の第1の2次巻線の間端に直流電源の正極が接続され、第2の2次巻線の間端に前記直流電源の負極が接続されて、

前記変流器の1次巻線に流れる電流を増幅し、増幅した電流が、前記電流供給用コンデンサを介して出力されるように構成された、

20 ことを特徴とする増幅回路。

12. エミッタが、1次巻線と第1、第2の2次巻線とを有する変流器の第1の2次巻線の一端に接続され、コレクタが直流電源の正極に接続され、コレクタとベースとの間に第1の抵抗が接続された第1のNPN形バイポーラトランジスタと、

25 前記第1のNPN形バイポーラトランジスタのベースと前記変流器の第1の2次巻線

の他端との間に接続されて、前記第 1 の NPN 形バイポーラトランジスタのベース－エミッタ間電圧に相当する電圧降下を発生させる第 1 の電圧降下素子と、

エミッタが前記変流器の第 2 の 2 次巻線の一端に接続され、コレクタが前記変流器の第 1 の 2 次巻線の他端に接続され、コレクタとベースとの間に第 2 の抵抗が接続された第 2 の NPN 形バイポーラトランジスタと、

前記第 2 の NPN 形バイポーラトランジスタのベースと前記変流器の第 2 の 2 次巻線の他端との間に接続されて、前記第 2 の NPN 形バイポーラトランジスタのベース－エミッタ間電圧に相当する電圧降下を発生させる第 2 の電圧降下素子と、

前記変流器の第 1 の 2 次巻線の他端と前記第 2 の NPN 形バイポーラトランジスタのコレクタとの接続点に一端が接続された電流供給用コンデンサと、

を備え、

前記変流器の第 2 の 2 次巻線の他端に前記直流電源の負極が接続されて、

前記変流器の 1 次巻線に流れる電流を増幅して、増幅した電流が、前記電流供給用コンデンサを介して出力されるように構成された、

ことを特徴とする増幅回路。

13. エミッタが、1 次巻線と第 1、第 2 の 2 次巻線とを有する変流器の第 1 の 2 次巻線の一端に接続された第 1 の NPN 形バイポーラトランジスタと、

直流電源の正極と前記第 1 の NPN 形バイポーラトランジスタのベースとの間に直列接続された第 1 の抵抗及び第 2 の抵抗と、

ドレイン及びソースのうちのいずれかの一端が前記直流電源の正極と前記第 1 の抵抗の一端とに、ドレイン及びソースのうちの他端が前記第 1 の NPN 型バイポーラトランジスタのコレクタに接続され、ゲートが前記第 1 の抵抗と第 2 の抵抗との接続点に接続された第 1 の電界効果トランジスタと、

前記第 1 の NPN 形バイポーラトランジスタのベースと前記変流器の第 1 の 2 次巻線

の他端との間に接続されて、前記第 1 の NPN 形バイポーラトランジスタのベース－エミッタ間電圧に相当する電圧降下を発生させる第 1 の電圧降下素子と、

エミッタが前記変流器の第 2 の 2 次巻線の一端に接続された第 2 の NPN 形バイポーラトランジスタと、

- 5 前記変流器の第 1 の 2 次巻線の他端と前記第 2 の NPN 形バイポーラトランジスタのベースとの間に直列接続された第 3 の抵抗及び第 4 の抵抗と、

ドレイン及びソースのうちのいずれかの一端が前記変流器の第 1 の 2 次巻線の他端に、ドレイン及びソースのうちの他端が前記第 2 の NPN 形バイポーラトランジスタのコレクタに接続され、ゲートが前記第 3 の抵抗と第 4 の抵抗との接続点に接続された第 2 の電

- 10 界効果トランジスタと、

前記第 2 の NPN 形バイポーラトランジスタのベースと前記変流器の第 2 の 2 次巻線の他端との間に接続されて、前記第 2 の NPN 形バイポーラトランジスタのベース－エミッタ間電圧に相当する電圧降下を発生させる第 2 の電圧降下素子と、

- 前記変流器の第 1 の 2 次巻線の他端と前記第 2 の電界効果トランジスタの一端との接続点に一端が接続された電流供給用コンデンサと、
- 15

を備え、

前記変流器の第 2 の 2 次巻線の他端に前記直流電源の負極が接続されて、

前記変流器の 1 次巻線に流れる電流を増幅して、増幅した電流が、前記電流供給用コンデンサを介して出力されるように構成された、

- 20 ことを特徴とする増幅回路。

1 4. エミッタが、1 次巻線と第 1、第 2 の 2 次巻線とを有する変流器の第 1 の 2 次巻線の一端に接続され、コレクタが前記変流器の第 2 の 2 次巻線の一端に接続され、コレクタとベースとの間に第 1 の抵抗が接続された第 1 の PNP 形バイポーラトランジスタと、

- 25 前記第 1 の PNP 形バイポーラトランジスタのベースと前記変流器の第 1 の 2 次巻線

の他端との間に接続されて、前記第 1 の P N P 形バイポーラトランジスタのエミッターベース間電圧に相当する電圧降下を発生させる第 1 の電圧降下素子と、

エミッタが前記変流器の第 2 の 2 次巻線の他端に接続され、コレクタが直流電源の負極に接続され、コレクタとベースとの間に第 2 の抵抗が接続された第 2 の P N P 形バイポーラトランジスタと、

5 ラトランジスタと、

前記第 2 の P N P 形バイポーラトランジスタのベースと前記変流器の第 2 の 2 次巻線の一端との間に接続されて、前記第 2 の P N P 形バイポーラトランジスタのエミッターベース間電圧に相当する電圧降下を発生させる第 2 の電圧降下素子と、

前記第 1 の P N P 形バイポーラトランジスタのコレクタと前記変流器の第 2 の 2 次巻線の一端との接続点に一端が接続された電流供給用コンデンサと、

を備え、

前記変流器の第 1 の 2 次巻線の他端に前記直流電源の正極が接続されて、

前記変流器の 1 次巻線に流れる電流を増幅して、増幅した電流が、前記電流供給用コンデンサを介して出力されるように構成された、

15 ことを特徴とする増幅回路。

1 5. 前記第 1 の電圧降下素子に並列に接続されたコンデンサと、前記第 2 の電圧降下素子に並列に接続されたコンデンサと、をさらに備える、

ことを特徴とする請求項 9 に記載の増幅回路。

20

1 6. エミッタが、1 次巻線と 2 次巻線とを有する変流器の 2 次巻線の一端に接続され、コレクタが直流電源の正極に接続され、コレクタとベースとの間に第 1 の抵抗が接続された N P N 形バイポーラトランジスタと、

エミッタが前記 N P N 形バイポーラトランジスタのエミッタに接続され、コレクタが前記直流電源の負極に接続され、コレクタとベースとの間に第 2 の抵抗が接続された P N P

25

形バイポーラトランジスタと、

前記NPN形バイポーラトランジスタのベースと前記PNP形バイポーラトランジスタのベースとの間に直列に接続されて、前記NPN形バイポーラトランジスタのベース—エミッタ間電圧と前記PNP形バイポーラトランジスタのエミッター—ベース間電圧とに

5 相当する電圧降下を発生させる第1、第2の電圧降下素子と、

前記NPN形バイポーラトランジスタのベースと前記変流器の2次巻線他端との間に接続された第1のコンデンサと、

前記PNP形バイポーラトランジスタのベースと前記変流器の2次巻線他端との間に接続された第2のコンデンサと、

10 前記変流器の2次巻線他端に一端が接続された電流供給用コンデンサと、
を備え、

前記変流器の1次巻線に流れる電流を増幅して、増幅した電流が、前記電流供給用コンデンサを介して出力されるように構成された、

ことを特徴とする増幅回路。

15

17. 前記NPN形バイポーラトランジスタのエミッタと前記PNP形バイポーラトランジスタのエミッタとの接続点に一端が接続された利得補正用コンデンサをさらに備え、

前記変流器の1次巻線に流れる電流を増幅し、増幅した電流が、前記電流供給用コンデンサと利得補正用コンデンサとのインピーダンスの比により決まる比率で、前記電流供給

20 用コンデンサと利得補正用コンデンサとからそれぞれ出力されるように構成された、

ことを特徴とする請求項16に記載の増幅回路。

18. 前記第1、第2の電圧降下素子は、ダイオードによって構成された、

ことを特徴とする請求項9に記載の増幅回路。

25

19. 前記電圧降下素子とバイポーラトランジスタとが互いに近傍に配置された、
ことを特徴とする請求項9に記載の増幅回路。

20. 前記電圧降下素子と前記バイポーラトランジスタとが半導体の同一基板上に形成
された、
ことを特徴とする請求項19に記載の増幅回路。

21. 1次巻線と2次巻線とを有する変流器の2次巻線に接続される増幅回路であって、
電流路と制御端とを備え、前記電流路の一端に前記変流器の2次巻線の一端が接続され、
10 該2次巻線の一端と前記制御端との間の電圧に基づいて、前記変流器の2次巻線に流れる
電流の量を制御する制御手段と、
前記変流器の2次巻線の一端と他端との間の電圧が零となるように前記2次巻線の他
端の電圧を調整する電圧調整手段と、を備え、
前記変流器の1次巻線に流れる電流を増幅して、増幅した電流が、インピーダンス素子
15 を介して外部に出力されるように構成された、
ことを特徴とする増幅回路。

22. 前記制御手段は、前記電流路の一端がエミッタであり、他端がコレクタであり、
前記制御端がベースであって、前記エミッタに前記変流器の2次巻線の一端が接続され、
20 前記2次巻線の一端と前記ベースとの間の電圧に基づいて、前記変流器の2次巻線に流れ
る電流の量を制御するトランジスタによって構成されたものである、
ことを特徴とする請求項21に記載の増幅回路。

23. 前記電圧調整手段は、前記変流器の2次巻線の他端と前記制御手段の制御端との
25 間に接続されたダイオードによって構成されたものである、

ことを特徴とする請求項 2 1 に記載の増幅回路。

2 4. 所定の電源からの電力供給用の一対の電源線に伝播するノイズを低減するノイズ低減装置であって、

5 前記一対の電源線を 1 次巻線として、前記一対の電源線から接地線に漏れる漏れ電流を検出する変流器と、

前記変流器の 1 次巻線に流れる電流を増幅し、増幅した電流を、前記第 1 のインピーダンス素子と第 2 のインピーダンス素子とのインピーダンスの比により決まる比率で、前記第 1 のインピーダンス素子と第 2 のインピーダンス素子とからそれぞれ出力して、前記変
10 流器よりも電源側で、接地線に、前記漏れ電流を相殺する方向に供給するように構成された請求項 1 に記載の増幅回路と、を備えた、

ことを特徴とするノイズ低減装置。

2 5. 前記増幅回路は、前記接地線に供給する電流の電流値が前記変流器が検出した漏
15 れ電流の電流値に等しくなるように前記変流器の 1 次巻線に流れる電流を増幅するものである、

ことを特徴とする請求項 2 4 に記載のノイズ低減装置。

2 6. 所定の電源からの電力供給用の一対の電源線に伝播するノイズを低減するノイズ
20 低減装置であって、

前記一対の電源線を 1 次巻線として、前記一対の電源線から接地線に漏れる漏れ電流を検出する変流器と、

前記変流器の 1 次巻線に流れる電流を増幅し、増幅した電流を、前記変流器よりも電源側で、接地線に、前記漏れ電流を相殺する方向に供給するように構成された請求項 9 に記
25 載の増幅回路と、を備えた、

ことを特徴とするノイズ低減装置。

27. 前記増幅回路は、前記接地線に供給する電流の電流値が前記変流器が検出した漏れ電流の電流値に等しくなるように前記変流器の1次巻線に流れる電流を増幅するもの

5 である、

ことを特徴とする請求項26に記載のノイズ低減装置。

28. 電力供給用の一組の電源線に伝播するノイズを低減するノイズ低減装置であって、

前記電源線と共に磁芯を貫通する出力巻線を備える変流器の当該出力巻線に誘起され

10 る電流を検出することにより、前記電源線から接地線に流れるノイズに起因する漏れ電流を検出する漏れ電流検出手段と、

前記漏れ電流検出手段が検出した漏れ電流を、前記漏れ電流を打ち消すための補償電流として、前記補償電流の注入点を前記変流器による漏れ電流検出点よりも前記電源線の入

15 た、

ことを特徴とするノイズ低減装置。

29. 前記電源線及び前記出力巻線は、前記磁芯にそれぞれ一回のみ貫通している、

ことを特徴とする請求項28に記載のノイズ低減装置。

20

30. 前記変流器の磁芯は複数の部分へと分解可能な形状を有しており、分解して再び組み合わせることにより、前記電源線を切断することなく前記電源線を自己に貫通させることができるよう構成されている、

ことを特徴とする請求項28に記載のノイズ低減装置。

25

3 1. 前記変流器は、前記電源線の零相電流に等しい電流値を有する電流を出力巻線に誘起させるものである、

ことを特徴とする請求項 2 8 に記載のノイズ低減装置。

5 3 2. 前記電流供給手段は、前記漏れ電流検出手段が検出した漏れ電流を増幅する増幅回路を備え、前記増幅回路は、所定の直流電源から電力が供給されて、増幅度を 1 として前記接地線に供給する電流を増幅するものである、

ことを特徴とする請求項 2 8 に記載のノイズ低減装置。

10 3 3. 前記増幅回路は、

NPN トランジスタと、PNP トランジスタと、コンデンサと、
を備え、

前記 NPN トランジスタのコレクタは、直流電源の正極に接続され、前記 PNP トランジスタのエミッタは、前記 NPN トランジスタのエミッタに接続され、前記 PNP トランジスタのコレクタは前記直流電源の負極に接続され、前記漏れ電流検出手段の一方の出力端が前記 NPN トランジスタのベース及び前記 PNP トランジスタのベースに接続され、
15 前記漏れ電流検出手段のもう一方の出力端が前記 NPN トランジスタのエミッタ及び前記 PNP トランジスタのエミッタに接続され、

前記コンデンサは、前記接地線と、前記 NPN トランジスタのベース及び前記 PNP トランジスタのベースと、の間に接続されて構成された、
20

ことを特徴とする請求項 3 2 に記載のノイズ低減装置。

3 4. 前記増幅回路は、

1 次巻線と 2 次巻線とを有する変流器の 2 次巻線に接続される増幅回路であって、
25 前記変流器の 2 次巻線に流れる電流を増幅し、第 1 のインピーダンス素子を介して出力

する電流増幅部と、

前記電流増幅部により前記第 1 のインピーダンス素子に印加される電圧に対応する電圧を第 2 のインピーダンス素子に印加して、該第 2 のインピーダンス素子から電流を出力するバッファ増幅部と、を備え、

- 5 前記変流器の 1 次巻線に流れる電流を増幅したものに相当する電流が、前記第 1 のインピーダンス素子と第 2 のインピーダンス素子とのインピーダンスの比により決まる比率で、前記第 1 のインピーダンス素子と第 2 のインピーダンス素子とからそれぞれ出力されるように構成された、

ことを特徴とする請求項 3 2 に記載のノイズ低減装置。

10

3 5. 前記増幅回路は、

エミッタが、1 次巻線と 2 次巻線とを有する変流器の 2 次巻線の一端に接続され、コレクタが直流電源の正極に接続され、コレクタとベースとの間に第 1 の抵抗が接続された NPN 形バイポーラトランジスタと、

- 15 前記 NPN 形バイポーラトランジスタのベースと前記変流器の 2 次巻線他端との間に接続されて、前記 NPN 形バイポーラトランジスタのベース－エミッタ間電圧に相当する電圧降下を発生させる第 1 の電圧降下素子と、

エミッタが前記変流器の 2 次巻線の一端に接続され、コレクタが前記直流電源の負極に接続され、コレクタとベースとの間に第 2 の抵抗が接続された PNP 形バイポーラトランジスタと、

20

前記 PNP 形バイポーラトランジスタのベースと前記変流器の 2 次巻線他端との間に接続されて、前記 PNP 形バイポーラトランジスタのエミッター－ベース間電圧に相当する電圧降下を発生させる第 2 の電圧降下素子と、

前記第 1 の電圧降下素子と前記第 2 の電圧降下素子との接続点に一端が接続された電流供給用コンデンサと、

25

を備え、

前記変流器の1次巻線に流れる電流を増幅して、増幅した電流が、前記電流供給用コンデンサを介して出力されるように構成された、

ことを特徴とする請求項32に記載のノイズ低減装置。

5

36. 電源からの供給された電力を、所定の電圧の電力に変換して負荷に供給する電力変換部と、

前記電源から前記電力変換部への電力供給用の一対の電源線に伝播するノイズを低減する請求項24に記載のノイズ低減装置と、を備えた、

10 ことを特徴とする電力変換装置。

37. 電源からの供給された電力を、所定の電圧の電力に変換して負荷に供給する電力変換部と、

15 前記電源から前記電力変換部への電力供給用の一対の電源線に伝播するノイズを低減する請求項26に記載のノイズ低減装置と、を備えた、

ことを特徴とする電力変換装置。

38. 電源から供給された電力を、所定の電圧の電力に変換して負荷に供給する電力変換部と、

20 前記電源から前記電力変換部への電力供給用の一対の電源線に伝播するノイズを低減する請求項28に記載のノイズ低減装置と、を備えた、

ことを特徴とする電力変換装置。

25 39. 前記電力変換部がトランスを備え、前記トランスは、前記ノイズ低減装置が備える電流供給手段に電力を供給する直流電源を構成する補助巻線をさらに備えた、

ことを特徴とする請求項 38 に記載の電力変換装置。

40. 前記電力変換部は、インバータ回路と、前記インバータ回路を制御する制御回路と、前記制御回路用の動作電源とを備え、前記動作電源は、前記ノイズ低減装置が備える

5 電流供給手段に電力を供給する直流電源となる、

ことを特徴とする請求項 38 に記載の電力変換装置。

要約書

- 電力を供給する交流電源と電力変換回路部との間に流れる漏れ電流の検出結果に基づいて補償電流を生成する増幅回路を、トランジスタからなる主増幅器と、主増幅器に並列に接続された補正増幅器とから構成する。主増幅器及び補正増幅器を構成するトランジスタ
- 5 の各ベースと接地ラインとの間、及び、補正増幅器の出力端と接地ラインとの間にそれぞれコンデンサを接続し、これらのコンデンサのインピーダンスの比を調整することにより、増幅率を調整する。